

# Inhaltsverzeichnis

<b>Inhaltsverzeichnis .....</b>	<b>I</b>
<b>Abbildungsverzeichnis .....</b>	<b>IV</b>
<b>Tabellenverzeichnis .....</b>	<b>VI</b>
<b>Abkürzungsverzeichnis .....</b>	<b>VII</b>
<b>1 Einführung .....</b>	<b>1</b>
1.1 Projektbeschreibung.....	1
1.2 Aufgaben und Zielsetzung.....	1
1.3 Motivation.....	2
<b>2 Theoretisches und Stand der Technik.....</b>	<b>3</b>
2.1 Von der Idee zum fertigen Elektronikprodukt.....	3
2.2 Störungssicherer Aufbau elektronischer Schaltungen .....	4
2.2.1 Der Begriff „EMV“ .....	4
2.2.2 Das Modell der Störbeeinflussung .....	5
2.2.3 Maßnahmen für eine bessere EMV .....	5
2.3 Digitale Regelungstechnik .....	12
2.3.1 Der Regelkreis mit digitalem Regler .....	13
2.3.2 Vor- und Nachteile digitaler Regelungen .....	14
2.3.3 Wandlungszeit als Totzeitglied .....	14
2.3.4 Unterschied Steuerung & Regelung .....	15
2.4 Analog-Digital-/ Digital-Analog-Wandlung.....	16
2.4.1 Von analog zu digital .....	16
2.4.2 Von digital zu analog .....	17
2.5 CAN-Busanbindung.....	18
<b>3 Konzept Dezentrale Aktorsteuerung.....</b>	<b>20</b>
3.1 Einordnung in das Gesamtsystem.....	20
3.2 Anforderungen .....	21
3.3 Diskussion der Grundstruktur.....	23

3.4	<i>Auswahl der Hardware-Komponenten</i> .....	25
3.4.1	Mikrocontroller .....	25
3.4.2	Analog/Digital-Wandler .....	28
3.4.3	Digital/Analog-Wandler .....	30
3.4.4	CAN-Transceiver .....	31
3.4.5	Weitere Bauteile.....	32
3.5	<i>Analoger/Digitaler Sensor</i> .....	32
<b>4</b>	<b>Schaltungs- und Leiterplattenentwurf</b> .....	<b>34</b>
4.1	<i>Schaltungsentwurf</i> .....	34
4.1.1	Spannungsversorgung .....	34
4.1.2	Mikrocontroller .....	35
4.1.3	A/D-Wandler .....	36
4.1.4	D/A-Wandler .....	37
4.1.5	CAN-Transceiver .....	37
4.2	<i>Leiterplattenlayout</i> .....	38
4.2.1	Grundsätzliches zum Layout .....	38
4.2.2	Verbindung von Analog- und Digitalteil.....	38
4.2.3	Aufbau des Versorgungsspannungssystems.....	39
4.2.4	Anschluss der Abblockkondensatoren.....	40
4.2.5	Fertiges Layout .....	41
<b>5</b>	<b>Funktions- und EMV-Test</b> .....	<b>42</b>
5.1	<i>Funktionstest</i> .....	42
5.1.1	Mikrocontroller, D/A- & A/D-Wandler .....	42
5.1.2	CAN-Bus.....	45
5.2	<i>EMV-Test</i> .....	46
5.2.1	Feldgebundene Störaussendung .....	46
5.2.2	Leitungsgebundene Störaussendung .....	48
<b>6</b>	<b>Zusammenfassung</b> .....	<b>51</b>
<b>7</b>	<b>Ausblick zur Serienproduktion</b> .....	<b>53</b>
	<b>Literaturverzeichnis</b> .....	<b>54</b>
	<b>Anlagenverzeichnis</b> .....	<b>A-1</b>
	<b>Anlage A – Datenblattauszug Mikrocontroller</b> .....	<b>A-2</b>
	<b>Anlage B – Datenblattauszug A/D-Wandler</b> .....	<b>A-5</b>

<b>Anlage C – Datenblattauszug D/A-Wandler .....</b>	<b>A-9</b>
<b>Anlage D – Datenblattauszug CAN-Transceiver.....</b>	<b>A-13</b>
<b>Anlage E – Pin-Belegung AT90CAN128 .....</b>	<b>A-16</b>
<b>Anlage F – Kostenübersicht CAS-Prototyp-Platine .....</b>	<b>A-17</b>
<b>Anlage G – Schaltplan CAS-Prototyp-Platine.....</b>	<b>A-18</b>
<b>Anlage H – JTAG-Anschluss CAS-Prototyp-Platine .....</b>	<b>A-19</b>
<b>Anlage I – Protokoll feldgebundene Störaussendung .....</b>	<b>A-20</b>
<b>Anlage J – Protokoll leitungsgebundene Störaussendung.....</b>	<b>A-22</b>
<b>Selbstständigkeitserklärung .....</b>	<b>26</b>

# Abbildungsverzeichnis

Abbildung 1: Übersicht Phasen der Produktentwicklung .....	4
Abbildung 2: Modell der elektromagnetischen Beeinflussung mit EMV-Maßnahmen .....	5
Abbildung 3: Parallele Serienkreise mit unterschiedlicher Resonanzfrequenz.....	6
Abbildung 4: Impedanzverlauf verschiedener Kondensatoren desselben Typs .....	6
Abbildung 5: Vergleich ungünstige (a) und optimale (b) Anschlusstechnik .....	7
Abbildung 6: Hohe Impedanz im Abblockzweig.....	8
Abbildung 7: Eliminieren des störenden Einflusses der Anschlussleitungen.....	8
Abbildung 8: Ungünstige Anordnung der Versorgungsleitungen .....	9
Abbildung 9: Günstige Anordnung der Versorgungsleitungen .....	9
Abbildung 10: Sternstruktur für die Verbindung von Analog- und Digitalteil .....	10
Abbildung 11: Schaltung mehrerer Stufen in Sternstruktur.....	11
Abbildung 12: Ersatzschaltung mehrerer Stufen in einer Reihenstruktur .....	11
Abbildung 13: Vergleich schlechte (links) und gute (rechts) Kabelführung .....	12
Abbildung 14: Blockschaltbild eines Regelkreises.....	13
Abbildung 15: Regelkreis mit digitalem Regler .....	13
Abbildung 16: Sinus-Signal ohne (oben) und mit (unten) Totzeit.....	15
Abbildung 17: Abtastung einer zeitkontinuierlichen Funktion.....	17
Abbildung 18: Sukzessive Approximation.....	17
Abbildung 19: Erzeugung einer zeitkontinuierlichen Treppenfunktion.....	17
Abbildung 20: R2R-Netzwerk mit 4Bit-Auflösung .....	18

Abbildung 21: Physikalischer Aufbau eines CAN-Controllers .....	19
Abbildung 22: Signalwandlung am CAN-Transceiver .....	19
Abbildung 23: Systemübersicht zur Eingliederung der Steuerung in die Orgel .....	20
Abbildung 24: Mögliche Struktur-Varianten der CAS .....	24
Abbildung 25: Hysterese aufgrund von Reibung.....	33
Abbildung 26: Spannungsversorgung CAS .....	34
Abbildung 27: Top-Layer mit Analog- und Digitalteil .....	39
Abbildung 28: $V_{CC}$ - und Masseleitung unterhalb der ICs.....	40
Abbildung 29: Abblockkondensator am CAN-Transceiver .....	40
Abbildung 30: Top-Layer des Prototyps.....	41
Abbildung 31: Bottom-Layer des Prototyps .....	41
Abbildung 32: Nichtlinearität verursacht durch unterschiedliche Stufenbreiten .....	44
Abbildung 33: Rauschen des Analogsignals.....	44
Abbildung 34: Signale CANH (grün) und CANL (lila) .....	45
Abbildung 35: Test der feldgebundenen Störaussendung .....	46
Abbildung 36: Ergebnis feldgebundene Störaussendung .....	48
Abbildung 37: Messergebnis der L1-Leitung .....	49
Abbildung 38: Messergebnis der N-Leitung.....	50

# Tabellenverzeichnis

Tabelle 1: Vor- und Nachteile digitaler Regelungen .....	14
Tabelle 2: Anforderungen an Prototyp-CAS .....	22
Tabelle 3: Alternativen zum AT90CAN128 .....	26
Tabelle 4: Speichergrößen der AT90CAN-Serie.....	27
Tabelle 5: Alternative A/D-Wandler .....	29
Tabelle 6: Übersicht Wandlungszeit und Abtastrate des MCP3204 .....	29
Tabelle 7: Alternative D/A-Wandler .....	30
Tabelle 8: Alternative CAN-Transceiver .....	31
Tabelle 9: Gegenüberstellung Taktfrequenz und Entkoppelkondensatoren.....	35
Tabelle 10: Ergebnis Wandlungstest.....	43
Tabelle 11: Ergebnis feldgebundene Störaussendung .....	47

# Abkürzungsverzeichnis

<b>ADC</b>	Analog-to-Digital-Converter
<b>A/D</b>	Analog/Digital
<b>CAN</b>	Controller Area Network
<b>CAS</b>	Client-Aktorsteuerung
<b>CD</b>	Compact Disc
<b>CPU</b>	Central Processing Unit
<b>DAC</b>	Digital-to-Analog-Converter
<b>D/A</b>	Digital/Analog
<b>EEPROM</b>	Electrically Erasable Programmable Read Only Memory
<b>EMV</b>	Elektromagnetische Verträglichkeit
<b>GND</b>	Ground
<b>HF</b>	Hochfrequenz
<b>IC</b>	Integrated Circuit
<b>IDE</b>	Integrated Development Environment
<b>ISP</b>	In-System-Programmer
<b>I<sup>2</sup>C</b>	Inter-Integrated Circuit
<b>I/O</b>	Input/Output
<b>JTAG</b>	Joint Test Action Group
<b>LED</b>	Light-Emitting Diode
<b>LSB</b>	Least Significant Bit
<b>MIDI</b>	Musical Instrument Digital Interface
<b>MIPS</b>	Million Instructions per Second
<b>MSB</b>	Most Significant Bit
<b>OSI</b>	Open Systems Interconnection
<b>PCB</b>	Printed Circuit Board

<b>QFN</b>	Quad Flat No Leads Package
<b>RAM</b>	Random Access Memory
<b>SMD</b>	Surface-Mounted Device
<b>SPI</b>	Serial Peripheral Interface
<b>SPS</b>	Samples per Second
<b>SRAM</b>	Static Random Access Memory
<b>USB</b>	Universal Serial Bus
<b>VCC</b>	Voltage of the common collector
<b>ZAS</b>	Zentrale Aktorsteuerung



# 1 Einführung

## 1.1 Projektbeschreibung

Als weltweit erstes derartiges Instrument soll eine Pfeifenorgel mit umfassend reiner Stimmung geschaffen werden. Diese Stimmung soll sich selbsttätig zu hoher Reinheit korrigieren, d.h. die notwendigen Tonhöhenkorrekturen sollen ohne weiteres Zutun des Musikers in Echtzeit, d.h. in diesem Fall innerhalb von 30 Millisekunden [1], erfolgen, allein auf Grund der Analyse der gespielten Noten, wobei ein spezieller Umstimmalgorithmus zum Einsatz kommt [37].

Der zu erstellende Prototyp soll eine Orgel mit sechs Registern, einem Manual und einem Pedal sein, fünf Register für das Manual und eines für das Pedal. Für die dynamische Stimmung ist eine Kombination von neuartigen Hochgeschwindigkeits-Antriebselementen, den Pfeifen zugeordneten Stimmelementen und einem intelligenten Stimmungsprogramm vorgesehen.

An diesem Kooperationsprojekt sind neben der Hochschule Mittweida noch der Mitteldeutsche Orgelbau A. Voigt GmbH und Antrima GmbH beteiligt. Die innovative Teilaufgabe der Hochschule ist dabei die Entwicklung des Steuerungssystems zur Ansteuerung mehrerer hundert Antriebseinheiten und ein sich selbst kalibrierendes – d.h. alle durch Material- und Umwelteinflüsse hervorgerufenen Änderungen der Stimmung der Orgelpfeifen kompensierendes – Softwaresteuerungssystem für die dynamische und automatische Stimmung einer Orgel.

## 1.2 Aufgaben und Zielsetzung

Die vorliegende Arbeit befasst sich mit der Prototypentwicklung und -realisierung der Hardwarekomponente einer dezentralen Aktorsteuerung. Die Zielfunktionalität dieser Steuerung ist es, in ca. 1 Millisekunde vier angeschlossene Aktoren bzw. Antriebseinheiten unabhängig voneinander anzusprechen und somit die verschiedenen Orgelpfeifen dynamisch umzustimmen. Details zu den Hardware-Anforderungen werden im Abschnitt 3.2 genannt. Die Kommunikation zwischen dezentraler und zentraler Aktorsteuerung soll via CAN-Bus realisiert werden. Die Hardware muss möglichst kostengünstig gefertigt werden und die ausgewählten Bauteile sollten langfristig und in ausreichend hoher Stückzahl verfügbar sein.

Zu Beginn ist das Systemkonzept festzulegen und auf der Grundlage dessen eine Recherche der benötigten Bauteile bzw. Komponenten zu betreiben, um dann eine geeignete Auswahl treffen zu können. Anschließend ist die Prototyp-Platine zu entwickeln und aufzubauen. Diese muss dabei zum einen für Steuerung und Regelung der Aktoren ausgelegt sein, zum anderen muss es eine Schnittstelle für einen analogen und digitalen Sensor geben, wobei die Anstrengungen dahin gehen, den analogen Sensor zu verwenden. Das Layout der Leiterplatte ist so zu gestalten, dass mögliche interne, als auch nach außen wirkende EMV-Einflüsse minimiert werden. In einer anschließenden Testphase sind die getroffenen Maßnahmen auf ihre Wirkung zu untersuchen und die Steuerung auf ihre grundlegenden Funktionen zu überprüfen. Als Schlussfolgerung der Testergebnisse sind dann Hinweise und Verbesserungsmöglichkeiten für die Serienproduktion anzugeben, um somit eine Schnittstelle für die weitere Projektfortführung zu schaffen.

### **1.3 Motivation**

Die korrekte Stimmung eines Instruments, d.h. die Festlegung der absoluten Tonhöhe und die Einstellung der relativen Frequenzen der Töne zueinander, ist für dessen Klang ein entscheidender Faktor. Je höher es gestimmt wird, desto reiner und brillanter ist der Klangindruck. Der Standard-Stimmton zur Festlegung der absoluten Tonhöhe liegt bei 440Hz und wird auch Kammerton  $a'$  genannt.

Für Tasteninstrumente, z.B. die Orgel, ist die relative Stimmung, auch musikalische Temperatur, sehr wichtig. Die Grundlage ist dabei das musikalische Intervall, welches durch das Frequenzverhältnis zweier Töne zueinander bestimmt wird. Um ein reines Intervall zu bekommen, muss das Frequenzverhältnis einfach ganzzahlig sein, beispielsweise 2:3 (Quinte) oder 5:6 (kleine Terz). Denn nur dann ist die Grundfrequenz des höheren Tons mit einem der harmonischen Teiltöne des tieferen Tons kongruent. Dieser Zustand wird als schwebungsfrei bezeichnet.

## 2 Theoretisches und Stand der Technik

In diesem Kapitel werden theoretische Grundlagen gelegt und Herangehensweisen erläutert, die für Konzept und Entwicklung der Hardware enorm wichtig sind. Zu Beginn werden einige wichtige Themen und Aspekte zum störungssicheren Aufbau elektronischer Schaltungen angesprochen, aber auch der Weg von der Idee bis zum fertigen Elektronikprodukt soll anfangs kurz aufgezeigt werden. Angrenzend sollen dann auch Grundlagen der digitalen Regelung eine Rolle spielen, welche Einfluss auf die Auswahl verschiedener Hardware-Komponenten nehmen. Dazu zählen der grundlegende Aufbau eines Regelkreises, die Vor- und Nachteile der digitalen Regelung und im Zusammenhang dazu die Problematik der Totzeit. Nachfolgend wird es eine Erklärung zum Unterschied von Steuerung und Regelung geben, da diese beiden Techniken im Orgelprojekt eine wichtige Rolle spielen. Den Abschluss bilden eine grundlegende Erklärung zur Analog/Digital- bzw. Digital/Analog-Wandlung und zur Busanbindung eines Steuergerätes an einen CAN-Bus.

All dies soll zum besseren Verständnis dienen und Zusammenhänge erkennen lassen. „Denn nur wer Strukturen erkennt, wird sich nicht in einzelnen Phänomenen verlieren!“ [(2) S. 6]

### 2.1 Von der Idee zum fertigen Elektronikprodukt

Jedes Produkt entsteht aus einer Idee, angetrieben durch Kundenwünsche und Konkurrenzsituationen, so auch dieses Projekt zur dynamischen Umstimmung einer Pfeifenorgel. Dieser Abschnitt soll kurz aufzeigen, welche Schritte notwendig sind, um von einer Idee bis hin zum fertigen Elektronikprodukt zu kommen. Dieser Produktgestaltungsprozess ist für die vorliegende Diplomarbeit nicht zwingend relevant, allerdings ist die Prototypentwicklung ein wichtiger Schritt auf dem Weg zum serienreifen Endprodukt.

In einer Studie wird zu Beginn aufgezeigt, welche Anforderungen an das neu zu entwickelnde Produkt gestellt werden. Dabei sind Machbarkeit und Marktchancen zu untersuchen. Das Produktmanagement oder der Kunde erstellen daraufhin ein Lastenheft, in dem alle Anforderungen beschrieben sind. Auf der Grundlage dessen, wird in der nun folgenden Konzeptphase ein Pflichtenheft erstellt. Darin wird beschrieben, wie das Produkt konkret realisiert werden soll. Dazu zählen Spezifikation der zu realisierenden Mechanik, Hardware und Software, sowie die Beschreibung von Komponenten, Modulen und Funktionen. Es folgt die Entwicklungsphase mit der Erstellung eines **Prototyps** und verschiede-

nen Arten von Entwicklungsprozessen, wie Tests und Dauerversuche, Reviews, Verifikation und Validierung. Die unterschiedlichen Aufgaben werden in dieser Phase verteilt und parallelisiert. Es schließt sich die Freigabephase an, in der nach ersten Feedbacks zu Serienprodukten entschieden wird, ob die Lieferfreigabe erfolgen kann. Nach Abschluss der Entwicklung ist das Unternehmen bzw. der Entwickler für die Kundenbetreuung verantwortlich. Das Marketing sorgt für die Vermarktung des Produktes und entscheidet auf der Basis von vorliegenden Informationen, ob eine Überarbeitung notwendig ist oder eine Auslaufstrategie angestoßen werden muss.

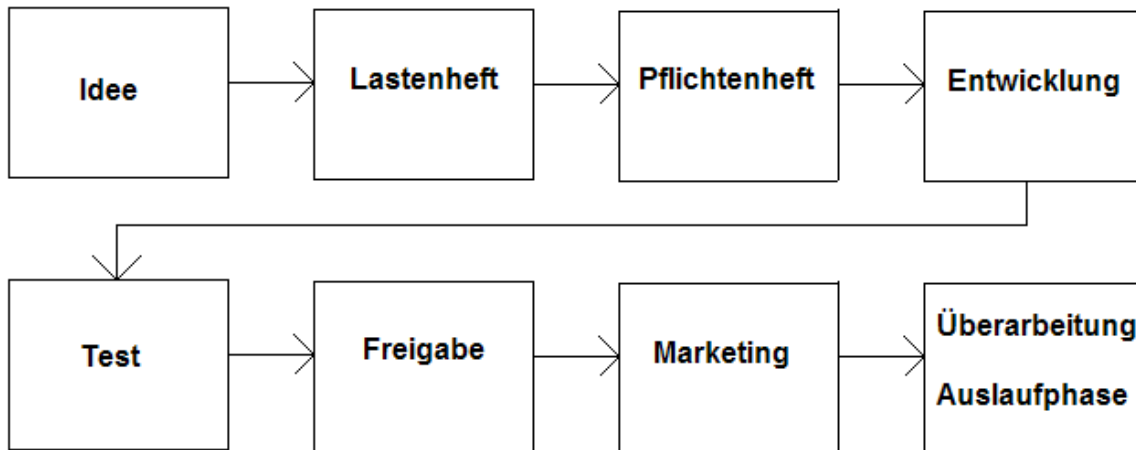


Abbildung 1: Übersicht Phasen der Produktentwicklung

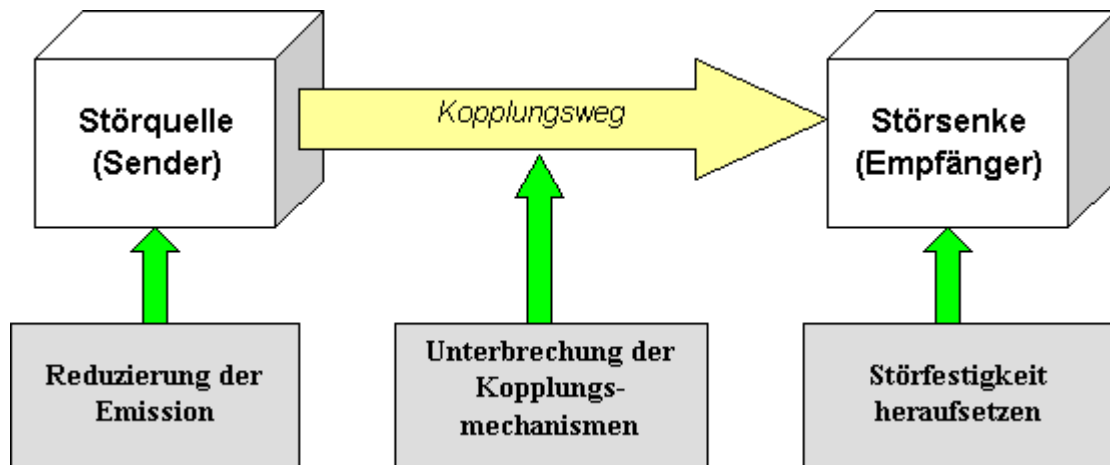
## 2.2 Störungssicherer Aufbau elektronischer Schaltungen

### 2.2.1 Der Begriff „EMV“

Schaltungen störungssicher aufzubauen heißt diese so zu entwickeln, dass eine gute Elektromagnetische Verträglichkeit (EMV) gegeben ist.

„Unter elektromagnetischer Verträglichkeit (EMV) versteht man die Fähigkeit von Geräten und Systemen in ihrer elektromagnetischen Umwelt ohne Funktionseinschränkungen oder –fehler zu arbeiten und umgekehrt durch ihren Betrieb die elektromagnetische Umwelt nicht so zu beeinflussen, dass die Funktion anderer Geräte und Systeme beeinflusst wird.“ [(6) S. 2]

## 2.2.2 Das Modell der Störbeeinflussung



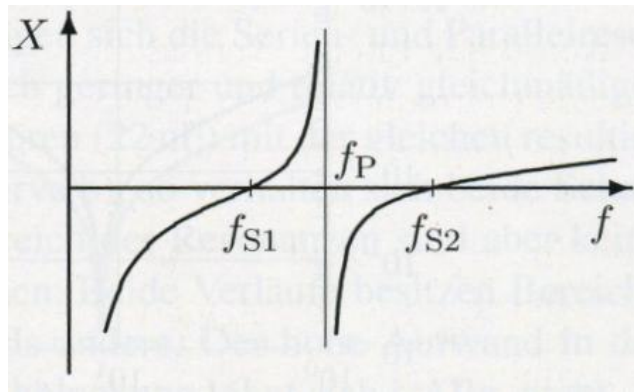
**Abbildung 2: Modell der elektromagnetischen Beeinflussung mit EMV-Maßnahmen**

Mit dem oben gezeigten Modell lässt sich die Einkopplung von elektromagnetischen Störungen am besten darstellen. Die Störquelle ist darin der Sender, von welchem die Störbeeinflussung ausgeht und die die Störsenke ist das Gerät oder auch nur ein Teil einer Schaltung, deren Funktion durch die eingekoppelten Störungen beeinträchtigt ist. Dies können Spannungen und Ströme, aber auch Feldstärke oder Energie sein. Der Kopplungsweg bzw. Kopplungsmechanismus stellt dabei den physikalischen Zusammenhang dar, über den die Störung übertragen wird. In der Abbildung 2 [9] ist außerdem zu erkennen, dass an jedem, im Modell dargestellten Punkt, Einfluss genommen werden kann, um die EMV zu verbessern. Im folgenden Abschnitt werden nun ausgewählte Maßnahmen zum störungssicheren Aufbau elektronischer Schaltungen vorgestellt und erläutert.

## 2.2.3 Maßnahmen für eine bessere EMV

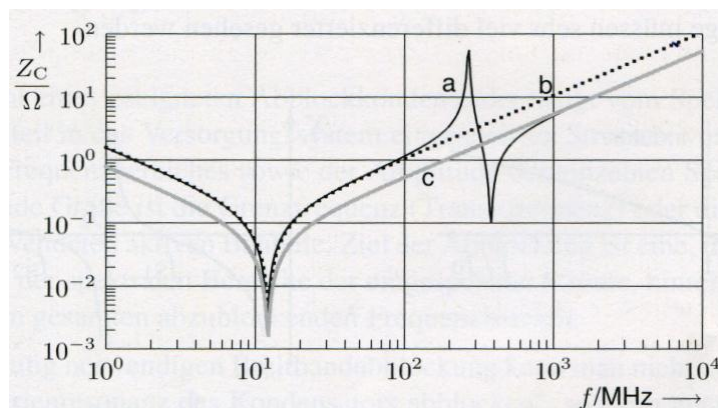
### 2.2.3.1 Parallelschaltung von Abblockkondensatoren

Häufig findet man in den Datenblättern oder Application Notes von ICs Hinweise und Überlegungen bezüglich des Leiterplattenlayouts zum Einsatz des jeweiligen Bauteils. Eine der am meisten angegebenen Empfehlungen ist dabei die Parallelschaltung von Abblockkondensatoren nahe den Versorgungs-Pins. Nicht selten besitzen die Kondensatoren dabei unterschiedliche Kapazitäten. Als Begründung wird angegeben, dass die Kondensatoren mit ihren niedrigen Impedanzen und verschiedenen Resonanzfrequenzen optimal unterschiedlichste Frequenzen abblocken, aus EMV-Sicht sehr gut. Allerdings ist dieser Ansatz nicht korrekt. Zur Erklärung sollen nun die Abbildungen 3 und 4 dienen.



**Abbildung 3: Parallele Serienkreise mit unterschiedlicher Resonanzfrequenz**

Abbildung 3 [(2) S. 85] zeigt die Parallelschaltung zweier Serienkreise mit unterschiedlichen Resonanzfrequenzen. Zwischen den beiden Serienresonanzen entsteht eine Parallelresonanz, bei der die Ersatzinduktivität oberhalb von  $f_{S1}$  und die Ersatzkapazität unterhalb von  $f_{S2}$  im Betrag gleiche, aber im Vorzeichen unterschiedliche Blindwiderstände besitzen. Das gleiche Verhalten ist beim Impedanzverlauf bei der Parallelschaltung von Kondensatoren unterschiedlicher Kapazitäten zu beobachten, wie die Kurve (a) in Abbildung 4 [(2) S. 86] zeigt.



**Abbildung 4: Impedanzverlauf verschiedener Kondensatoren desselben Typs**

Bei beiden Serienresonanzen ist die Impedanz niedrig, sobald man aber in den Bereich der Parallelresonanz kommt, steigt die Impedanz deutlich an (hier:  $60\Omega$  bei  $300\text{MHz}$ ). Dies ist ein Problem, da jede Impedanzänderung Reflexionen des Signalverlaufes mit sich bringt. Dadurch kann es zu erheblichen Störungen innerhalb der Schaltung kommen. Bei einer Parallelschaltung von Kondensatoren mit gleichen Kapazitäten (c) sind dagegen alle Resonanzfrequenzen identisch, also wie bei einem einzelnen Kondensator mit einer Serienresonanz (b). Der Unterschied ist nur, dass die Impedanz bei allen Frequenzen um den Faktor 2 niedriger ist. Dies zeigt, dass die Parallelschaltung gleicher Kondensatoren die Induktivität verringert und die Kapazität vergrößert.

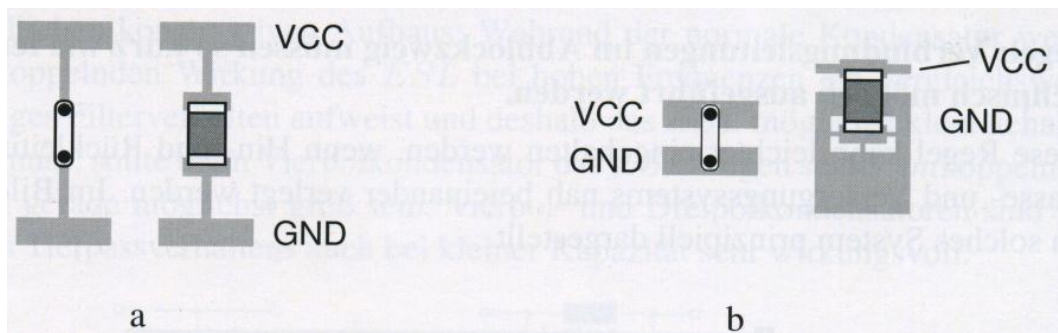
### 2.2.3.2 Geeignete Kondensatorbauform

Eine weitere Verbesserung der EMV-Eigenschaften erreicht man durch die Auswahl eines geeigneten Kondensatortyps. Entscheidend hierfür ist die Bauform, wünschenswert ist hier ein Kondensator mit großer Kapazität und kleiner Ersatzinduktivität. Unter der Annahme, dass der Rückleiter in sehr großer Entfernung ist, errechnet man den Induktivitätsbelag  $L'$  eines sehr dünnen rechteckigen Leiters mit der Länge  $l$  und der Breite  $b$ :

$$\frac{L'}{nH / mm} = 0,2 \cdot \left( \ln \left( \frac{2 \cdot l}{b} \right) + 0,5 + \frac{0,22 \cdot b}{l} \right) \quad [(2) \text{ S. 25}]$$

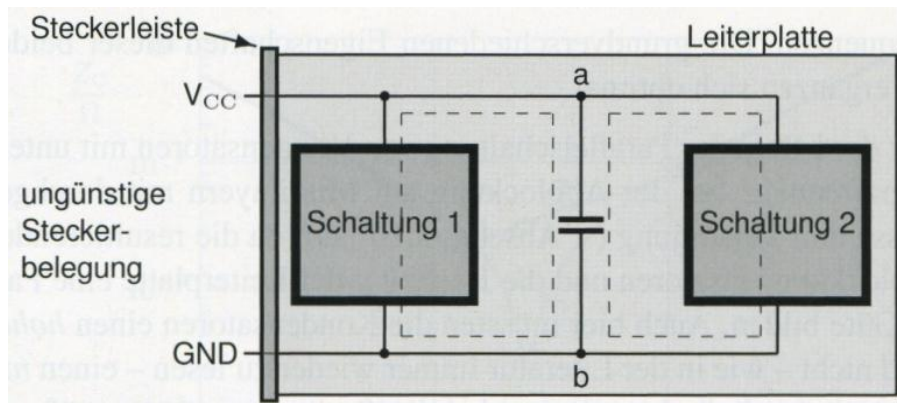
Nach dieser Gleichung haben Bauformen mit einem größeren Verhältnis Breite/Länge eine kleinere Ersatzinduktivität. Daher sind SMD-Kondensatoren bedrahteten Kondensatoren vorzuziehen, bei denen es natürlich schon allein durch die vorhandenen Anschlussdrähte zu einer höheren Induktivität kommt.

### 2.2.3.3 Anschluss von Kondensatoren



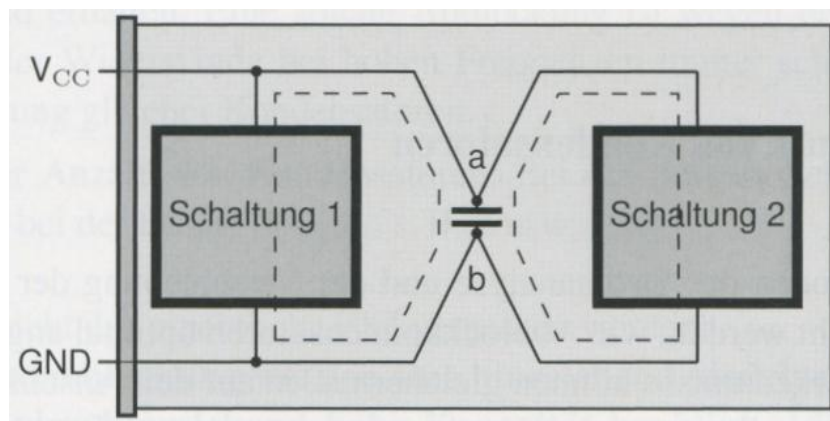
**Abbildung 5: Vergleich ungünstige (a) und optimale (b) Anschlusstechnik**

Eine für EMV optimale Anschlusstechnik gestaltet sich in vielen Fällen oft schwierig, da Hin- und Rückleiter einer Masche oft nicht nah beieinander liegen. Dies ist beispielsweise der Fall, wenn sich aufgrund einer ungünstigen Pin-Belegung eines Schaltkreises Versorgungsspannung und Masse an verschiedenen Enden befinden. Die Abbildung 5 [(2) S. 91] zeigt zum Vergleich eine ungünstige Technik mit hoher Anschlussinduktivität (a) und einen optimalen Anschluss (b). Im ungünstigen Fall ist der Kondensator über lange Zuleitungen angeschlossen. Durch die Impedanz dieses Abblockzweiges sind nun z.B. zwei Baugruppen miteinander verkoppelt, wie in der Abbildung 6 [(2) S. 90] zu erkennen ist.



**Abbildung 6: Hohe Impedanz im Abblockzweig**

Eine deutliche Verbesserung wird erreicht, indem die Knotenpunkte des Abblockzweiges und die Anschlussklemmen des Kondensators vereinigt werden und somit zu Sternpunkten für Störquelle und Störsenke hinführende Leitungen werden. Wie in Abbildung 7 [(2) S. 90] zu erkennen ist, sind beide Schaltungen jetzt nur noch über die Impedanz des Kondensators miteinander verkoppelt, der Einfluss der Zuleitungen ist komplett ausgeschaltet.

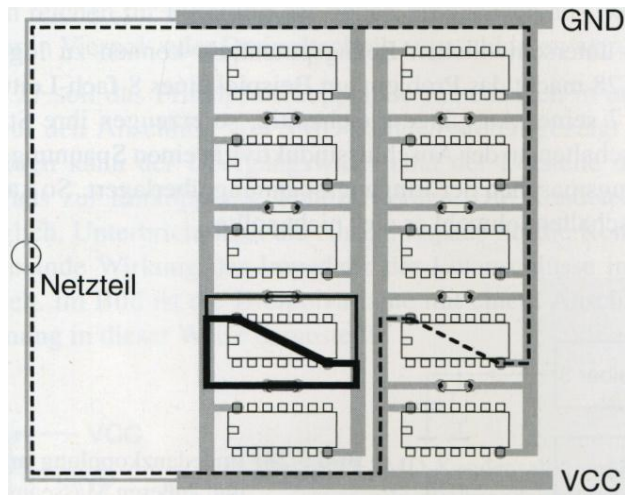


**Abbildung 7: Eliminieren des störenden Einflusses der Anschlussleitungen**

#### **2.2.3.4 Layout des Versorgungsspannungssystem**

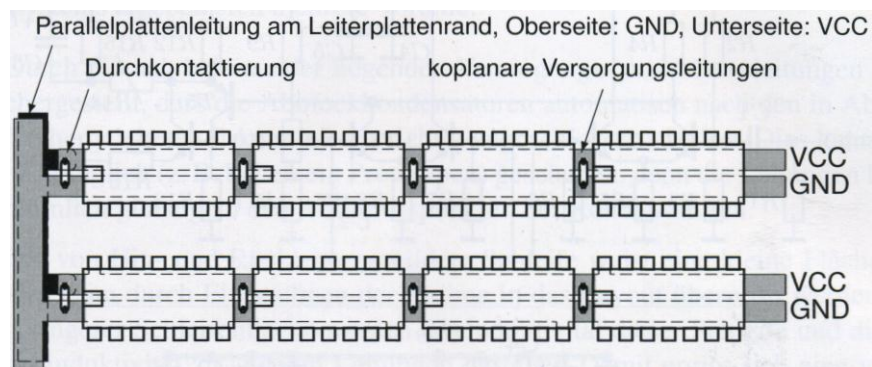
Großen Einfluss auf die EMV kann mit dem „richtigen“ bzw. „falschen“ Layout beim Versorgungsspannungssystem genommen werden. Eine günstige Vermaschung von Betriebsspannung und Masse kann die schaltungsinternen aber auch von extern kommenden Störbeeinflussungen deutlich minimieren.





**Abbildung 8: Ungünstige Anordnung der Versorgungsleitungen**

Die Abbildungen 8 und 9 [(2) S. 96/97] zeigen eine eher ungünstige und eine optimale Anordnung der Versorgungsleitungen. Bei der mangelbehafteten Variante ist zu erkennen, dass Versorgungs- und Masseleitung relativ weit voneinander entfernt liegen und damit eine große Schleife im Abblockkreis entsteht (sehr breit gezeichnete Linie). Eine zweite Schleife verläuft zudem noch parallel über den Abblockkondensator, der durch das ungünstige Layout zu lange Anschlussleitungen besitzt. Dies führt dazu, dass die Abblockmasche eine große Induktivität und damit eine hohe Störspannung besitzt, was ein weiteres Problem verursacht. Durch die große Distanz von Versorgungs- und Masseleitung verhalten sich diese wie eine Antenne (gestrichelt gezeichnete Masche zum Netzteil), welche durch die Störspannung angeregt wird. Je größer der Abstand ist, desto besser werden Störungen übertragen und empfangen.

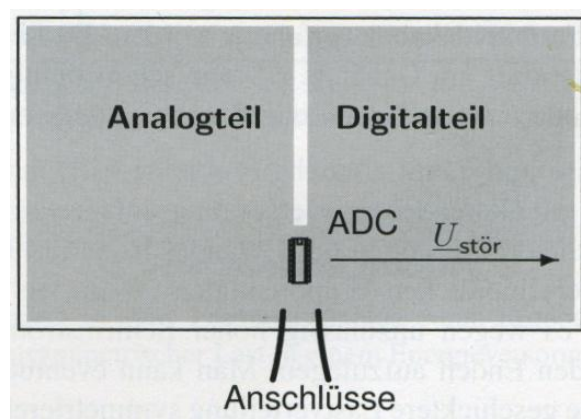


**Abbildung 9: Günstige Anordnung der Versorgungsleitungen**

In der Abbildung 9 wurde eine deutlich bessere Lösung gefunden. Hier liegen Versorgungs- und Masseleitung nah beieinander, wodurch die Abblockkondensatoren automatisch kurze Anschlüsse bekommen und die Strahlungskopplung der „Antenne“ erheblich minimiert wird. Das Versorgungsspannungssystem ist hier so aufgebaut, dass Betriebs-

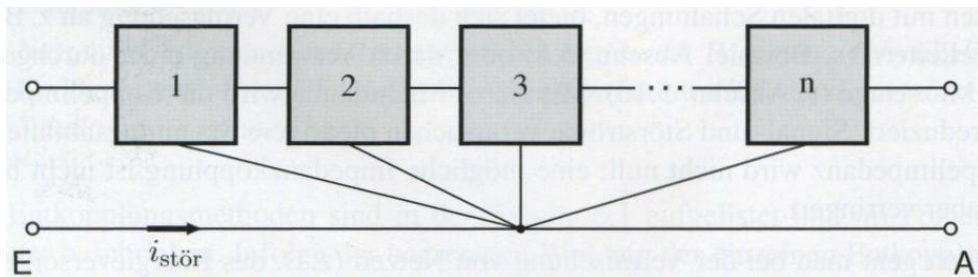
spannung und Masse am Leiterplattenrand auf unterschiedlichen Layern parallel zueinander und anschließend unterhalb der ICs als breite, nah beieinander liegende Leitungen verlaufen. Um dies zu ermöglichen, muss die  $V_{CC}$ -Leitung den Layer wechseln. Die Durchkontaktierung ist dabei ein optimaler Platz für einen bedrahteten Abblockkondensator. Aber auch ein SMD-Abblockkondensator kurz nach der Durchkontaktierung ist sinnvoll, da auch dieser Signalreflexionen, verursacht durch die Impedanzänderung infolge der Durchkontaktierung, abblocken kann. Ein Layerwechsel der GND-Leitung sollte möglichst vermieden werden, da deren Impedanz aufgrund der Potentialbezugsfunktion der Masse so gering wie möglich gehalten werden muss.

### 2.2.3.5 Struktur der Massefläche

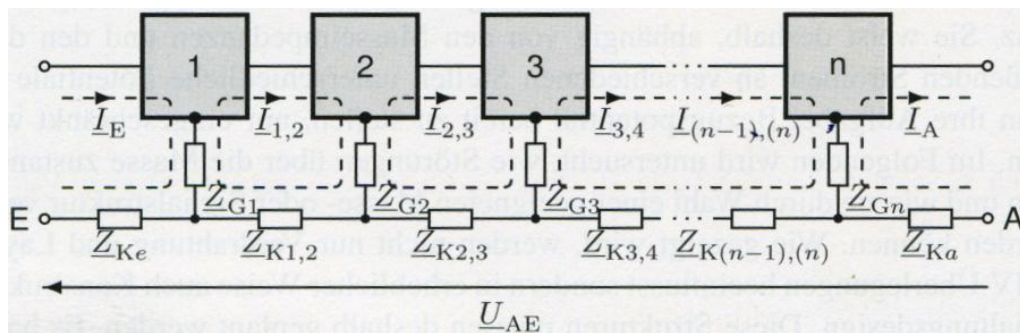


**Abbildung 10: Sternstruktur für die Verbindung von Analog- und Digitalteil**

Eine besondere Herausforderung hinsichtlich der EMV bietet die Struktur der Massefläche einer Leiterplatte, vor allem, wenn sowohl digitale, als auch analoge Baugruppen in der Schaltung platziert und miteinander verbunden werden. In einer solchen Situation sollte generell eine gegenseitige Beeinflussung, insbesondere der Analog- durch die Digitalbaugruppe vermieden werden. Erreicht wird dies durch eine Aufteilung in einen Analog- und Digitalteil mit Hilfe einer Sternstruktur - zu sehen in Abbildung 10 [(2) S. 236]. In diesem Fall laufen alle Masseverbindungen an einem gemeinsamen Verbindungspunkt (Störquelle = Störsenke), dem Sternpunkt, zusammen (Abbildung 11 [(2) S. 150]). Dies hat zur Folge, dass die sonst vorhandenen Leitungsimpedanzen der Teilmassen  $\underline{Z}_{Ki,i+1}$  zu null werden (Abbildung 12 [(2) S. 144]) und somit keine Störungen von außerhalb mehr eingekoppelt werden können. Ein weiterer Vorteil ist, dass die Masseverbindung beider Teile am A/D- bzw. D/A-Umsetzer eher unüblich breit verläuft, so können an diesem Punkt keine hochfrequenten Störströme in der Masseschleife eine HF-Spannung erzeugen, welche die durch die beiden Teile entstehende Antennenstruktur zur Strahlung anregen würde.



### Abbildung 11: Schaltung mehrerer Stufen in Sternstruktur



**Abbildung 12: Ersatzschaltung mehrerer Stufen in einer Reihenstruktur**

### 2.2.3.6 Leitfähiges Gerätegehäuse

Als abschließende Maßnahme kann ein leitfähiges Gerätegehäuse als EMV-Zonengrenze genutzt werden. In solch einer Zone sind die EMV-Störgrößen in ihrer Höhe festgelegt. Dieses Zonenprinzip eignet sich besonders gut, wenn an einzelne Teile eines Gerätes oder einer Schaltung verschiedene EMV-Anforderungen gestellt werden. Um die Gehäuseanschlüsse optimal zu nutzen, ist die Gestaltung der Anschlussleitungen entscheidend. In der Abbildung 13 [(2) S. 172] sind dafür ein ungünstiges und ein optimales Beispiel zu sehen. Bei der links dargestellten Lösung wurde das leitfähige Gehäuse als mögliche EMV-Zonengrenze verschenkt. Dort werden die Störungen erst auf die Leiterplatte im Inneren des Gerätes geführt. Die Anschlussleitungen bilden dabei eine Antennenstruktur, über die externe Störeinflüsse eingekoppelt als auch hochfrequente Potentialdifferenzen aus dem Geräteinneren reflektiert werden können. Rechts ist die wesentlich bessere Variante dargestellt. Die Anschlüsse sind dort so gestaltet, dass Schirmströme großflächig auf die Gehäuseoberfläche geleitet werden.

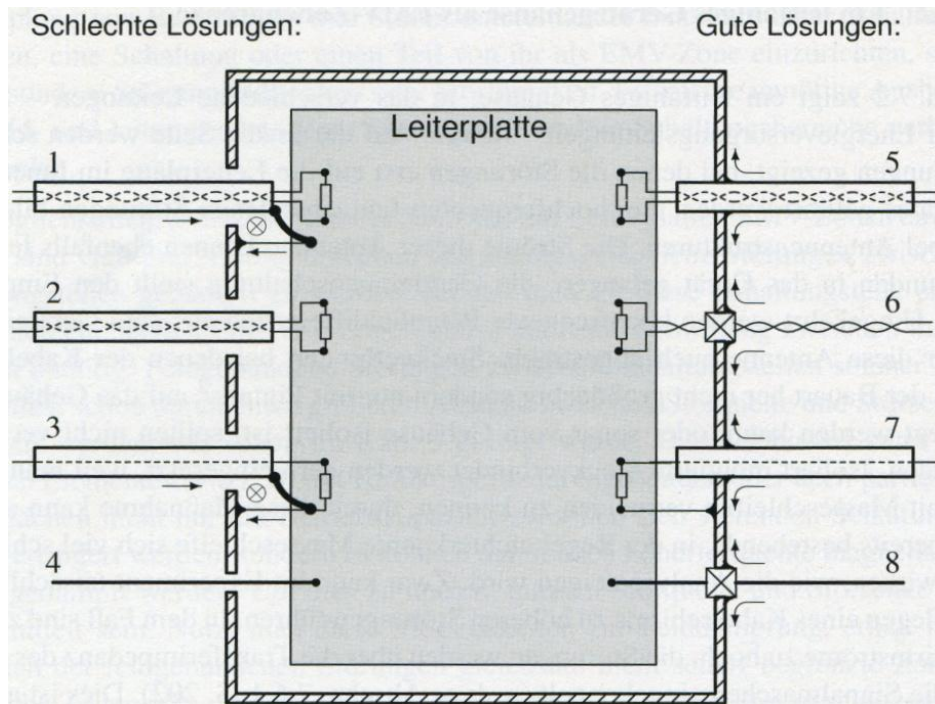


Abbildung 13: Vergleich schlechte (links) und gute (rechts) Kabelführung

## 2.3 Digitale Regelungstechnik

Durch die Entwicklung von leistungsstarken und preiswerten Mikroprozessoren bzw. Mikrocontrollern hat sich der digitale Regler zunehmend durchgesetzt, aber die Aufgabe hat sich nicht geändert:

„Aufgabe der Regelung ist es, bestimmte Größen [...] auf vorgeschriebene Werte zu bringen und auf diesen entgegen allen Störwirkungen zu halten.“ [(10) S. 1]

Auch die verschiedenen Reglertypen, P-, I-, PI-, PD und PID-Regler, finden beim digitalen Regler Anwendung, werden aber in den folgenden Abschnitten nicht näher beleuchtet, da dies eine reine softwarelastige Thematik darstellt.

### 2.3.1 Der Regelkreis mit digitalem Regler

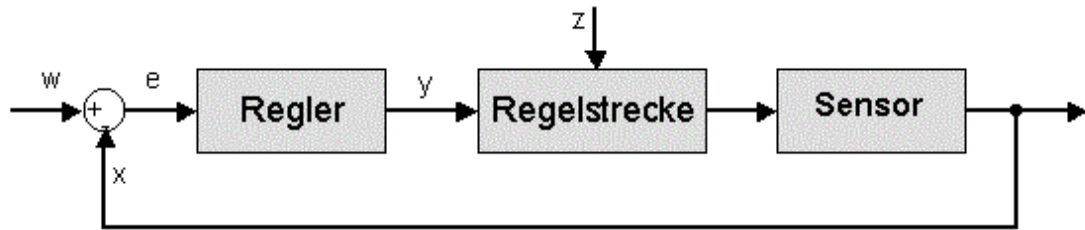


Abbildung 14: Blockschaltbild eines Regelkreises

Die Abbildung 14 zeigt den klassischen Aufbau eines Regelkreises als Blockschaltbild. Die Aufgabe eines solchen Regelkreises ist es, die Regelstrecke in geeigneter Weise so zu beeinflussen, dass die Regelgröße  $x$  (Istwert) der gegebenen Führungsgröße  $w$  (Sollwert) möglichst gut folgt, d.h. die Regelabweichung  $e = w - x$ , die eigentliche Eingangsgröße des Reglers, soll so klein wie möglich gehalten werden. Einfluss auf die Regelabweichung bzw. Regelstrecke nimmt dabei die Störgröße  $z$ . Wird ein digitaler Regler eingesetzt, stellt sich der Regelkreis entsprechend der Abbildung 15 dar.

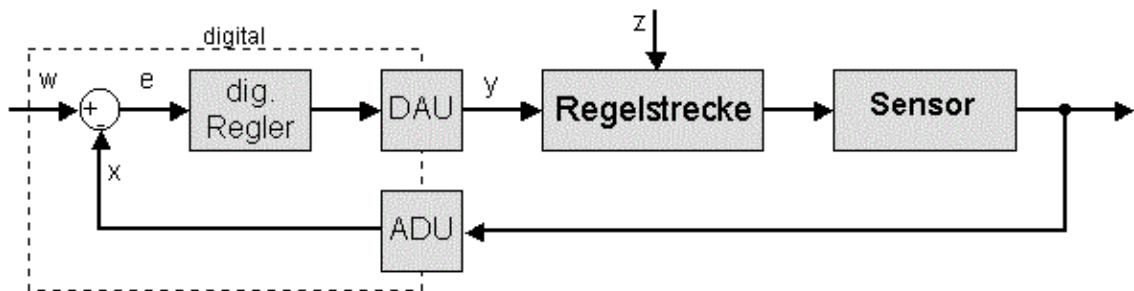


Abbildung 15: Regelkreis mit digitalem Regler

Ein Mikroprozessor bzw. Mikrocontroller errechnet die Signale. Bevor der Istwert verarbeitet werden kann, muss dieser von einem Analog/Digital-Wandler digitalisiert werden. Das errechnete Ausgangssignal, die Stellgröße  $y$ , muss wiederum von einem Digital/Analog-Wandler in ein analoges Signal gewandelt werden. Die Funktionsweise dieser Umwandlungen wird im Abschnitt 2.4 näher erläutert.

### 2.3.2 Vor- und Nachteile digitaler Regelungen

In der folgenden Tabelle sind die wichtigsten Vor- und Nachteile der digitalen Regelung aufgelistet:

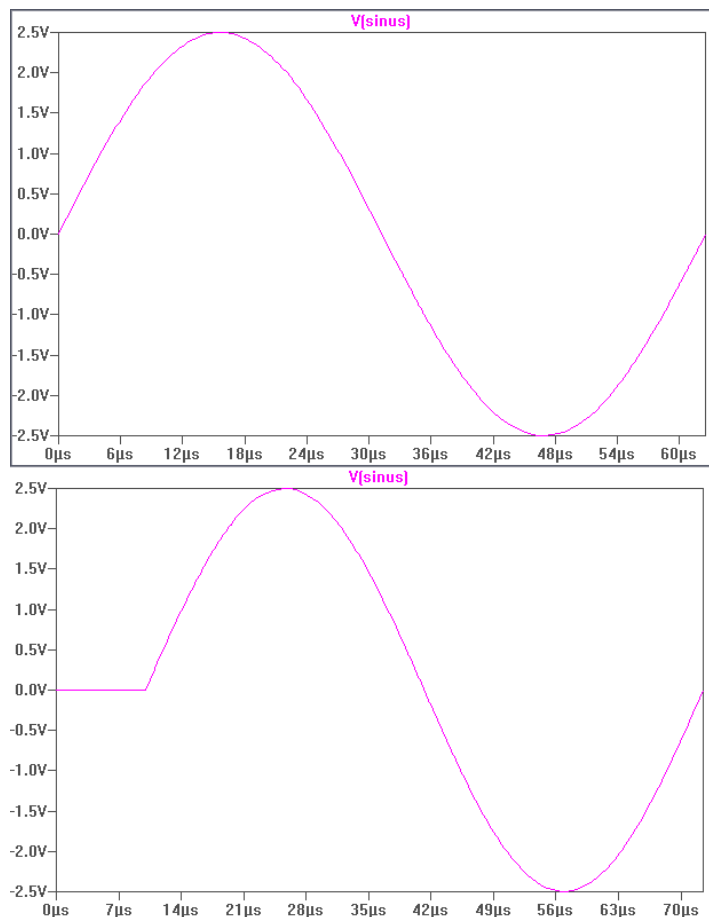
Vorteile	Nachteile
<ul style="list-style-type: none"> <li>• Es wird die Anbindung an übergeordnete Anlagenteile ermöglicht. (z.B. dem Prozessleitsystem)</li> <li>• Es werden die Speicherung und eine bessere Weiterverarbeitung der Regelgröße und anderen Zustandsgrößen möglich.</li> <li>• Die Struktur der Regler lässt sich einfach, zum Teil sogar während des Betriebes ändern.</li> <li>• Die Reglerkennwerte lassen sich beliebig genau einstellen.</li> <li>• Die Optimierung der Reglereinstellungen kann automatisch vorgenommen werden.</li> <li>• Digitale Systeme werden ständig preisgünstiger.</li> </ul>	<ul style="list-style-type: none"> <li>• Bei der Umwandlung von analog in digital entstehen Quantisierungsfehler.</li> <li>• Durch die zeitliche Abtastung entsteht eine zusätzliche Verzögerung der Signalübertragung. → Totzeit (s. 2.3.3)</li> <li>• Durch die zeitliche Abtastung können Informationen verloren gehen, wenn die Abtastfrequenz weniger als der doppelten Bandbreite des abgetasteten Signals entspricht. Dabei spricht man auch von Unterabtastung. → <math>f_s &gt; 2 \cdot f_a</math> (Nyquist-Shannon-Abtasttheorem)</li> </ul>

**Tabelle 1: Vor- und Nachteile digitaler Regelungen**

### 2.3.3 Wandlungszeit als Totzeitglied

Da die Wandlungen von analog in digital und umgekehrt sowie das Regelprogramm selbst eine gewisse Zeit beanspruchen, vergeht pro Durchlauf die sogenannte Wandlungszeit. Diese wirkt sich im Regelkreis wie ein Totzeitglied aus und verursacht eine zusätzliche Verzögerung, was sich ungünstig auf die Stabilität des Regelkreises auswirken kann. Die Totzeit kann als „zeitliches Nach-Hinten-Schieben des sonst unveränderten Signals“ [(13) Definition Totzeitglied] beschrieben werden.





**Abbildung 16: Sinus-Signal ohne (oben) und mit (unten) Totzeit**

Die Anstrengungen müssen also dahin gehen, die Wandlungszeit möglichst klein zu halten. Dies erreicht man durch eine Optimierung des Regelprogramms sowie Auswahl geeigneter Hardware mit einer ausreichend hohen Überabtastung, z.B. ein Analog-Digital-Wandler mit einer hohen Wandlungsrate und ein Mikrocontroller mit großer Taktfrequenz.

### 2.3.4 Unterschied Steuerung & Regelung

Oftmals werden die Begriffe Steuerung und Regelung nicht ausreichend differenziert gesehen. Ein Grund dafür ist, dass die beiden Techniken in der Praxis sehr häufig vermischt sind und auf vielen Ebenen umgeschaltet werden.

Nach DIN 19226 definieren sich beide Begriffe folgendermaßen:

„Das **Regeln**, die Regelung ist ein Vorgang, bei dem fortlaufend eine Größe, die Regelgröße (die zu regelnde Größe) erfasst, mit einer anderen Größe, der Führungsgröße, verglichen und im Sinne einer Angleichung an die Führungsgröße beeinflusst wird.

Kennzeichen für das Regeln ist der geschlossene Wirkungsablauf, bei dem die Regelgröße im Wirkungskreis des Regelkreises fortlaufend sich selbst beeinflusst.

Das **Steuern**, die Steuerung, ist der Vorgang in einem System, bei dem eine oder mehrere Größen als Eingangsgrößen andere Größen als Ausgangsgrößen aufgrund der dem System eigentümlichen Gesetzmäßigkeiten beeinflussen.

Kennzeichen für das Steuern ist der offene Wirkungsweg oder ein geschlossener Wirkungsweg, bei dem die durch die Eingangsgrößen beeinflussten Ausgangsgrößen nicht fortlaufend und nicht wieder über dieselben Eingangsgrößen auf sich selbst wirken.“ [(14) Steuerung und Regelung]

Vergleichend kann also gesagt werden, dass das Regeln immer langsamer ist als das Steuern, aber den Vorteil hat, auf Störungen reagieren zu können.

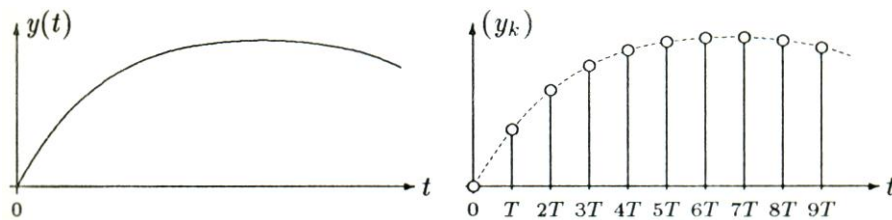
## 2.4 Analog-Digital-/ Digital-Analog-Wandlung

### 2.4.1 Von analog zu digital

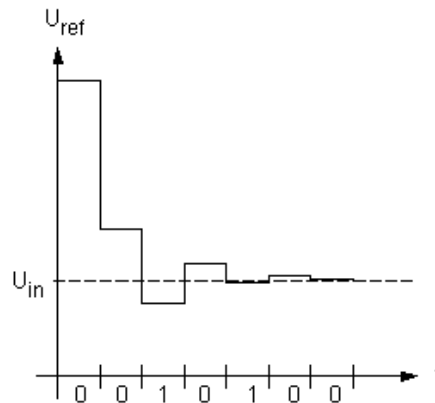
Hierbei erzeugt ein A/D-Wandler eine zeitdiskrete Folge von Werten ( $y_k$ ) durch die Abtastung einer zeitkontinuierlichen Funktion  $y(t)$ , zu sehen in Abbildung 17 [(15) S. 9]. Die Realisierung der Umwandlung kann unterschiedlich erfolgen. Eines der am häufigsten genutzten Verfahren ist die sukzessive Approximation. Dabei wird in jedem Schritt das Eingangssignal mit einem Referenzsignal, welches den Messbereich bzw. Eingangssignalebereich widerspiegelt, verglichen. Je nachdem, ob das Eingangssignal größer (setzen einer 0) oder kleiner (setzen einer 1) als die Referenzspannung ist, wird diese im nächsten Schritt um die Hälfte nach oben oder unten korrigiert, bis der Digitale Ausgabewert der Eingangsspannung entspricht, zu erkennen in Abbildung 18 [16]. Wie genau dieser Code den eingelesenen analogen Spannungswert nachbildet, ist von der Auflösung des A/D-Wandlers abhängig, d.h. wie fein gestuft die analoge Eingangsgröße digital dargestellt werden kann.

Eine andere Methode zur Umwandlung, die an dieser Stelle nur genannt wird, ist das Parallel-Verfahren, welches häufig in Digitaloszilloskopen zur Digitalisierung von Videosignalen zum Einsatz kommt. Oft, vor allem im Audiobereich, wird aufgrund seiner hohen Genauigkeit auch das Delta-Sigma-Verfahren verwendet. Nicht selten wird es als Konkurrenzverfahren zur sukzessiven Approximation betrachtet, was allerdings nicht ganz korrekt ist, da bei der Delta-Sigma-Umwandlung mit Hilfe eines Komparators auch eine stufenweise Annäherung der Eingangsspannung an die Referenzspannung erfolgt.





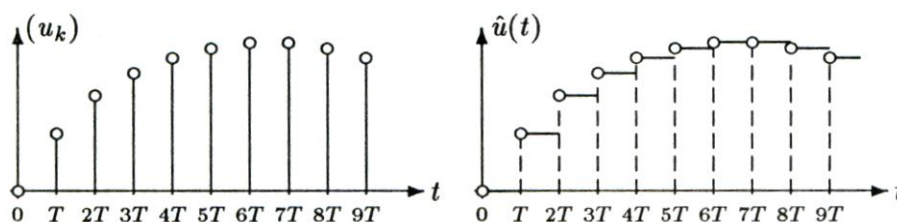
**Abbildung 17: Abtastung einer zeitkontinuierlichen Funktion**



**Abbildung 18: Sukzessive Approximation**

## 2.4.2 Von digital zu analog

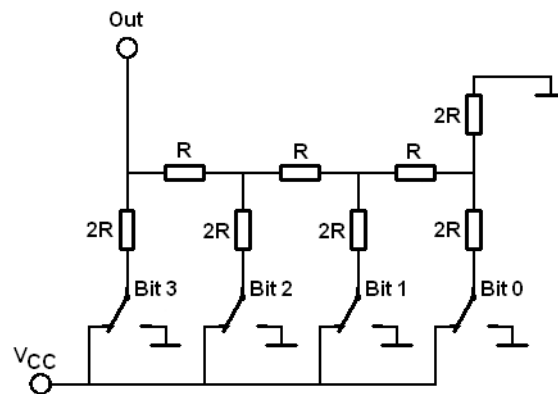
Ein D/A-Wandler erzeugt dabei aus einer zeitdiskreten Folge von Werten ( $u_k$ ) eine zeitkontinuierliche Treppenfunktion  $\hat{u}(t)$  mit der Stufenbreite  $T$ , zu sehen in Abbildung 19 [(15) S. 10].



**Abbildung 19: Erzeugung einer zeitkontinuierlichen Treppenfunktion**

Auch bei dieser Umwandlung sind Auflösung und Geschwindigkeit entscheidend. Häufig wird zur Realisierung ein R2R-Netzwerk genutzt, zu sehen in Abbildung 20 [18]. Wie der Name schon sagt, werden Widerstände mit den Werten  $R$  und  $2R$  genutzt. Die einzelnen Eingangsbits, abhängig vom digitalen Eingangscode, sind entweder auf Masse geschaltet (Zustand 0) oder mit einer angelegten Referenzspannung, die den Ausgangsspannungsbereich begrenzt, verbunden (Zustand 1). Jedes Bit trägt somit einen Teil zur resul-

tierenden Spannung am Ausgang bei. In der unteren Abbildung ist der rechte Eingang das niederwertigste (LSB) und der linke das höchstwertigste Bit (MSB).



**Abbildung 20: R2R-Netzwerk mit 4Bit-Auflösung**

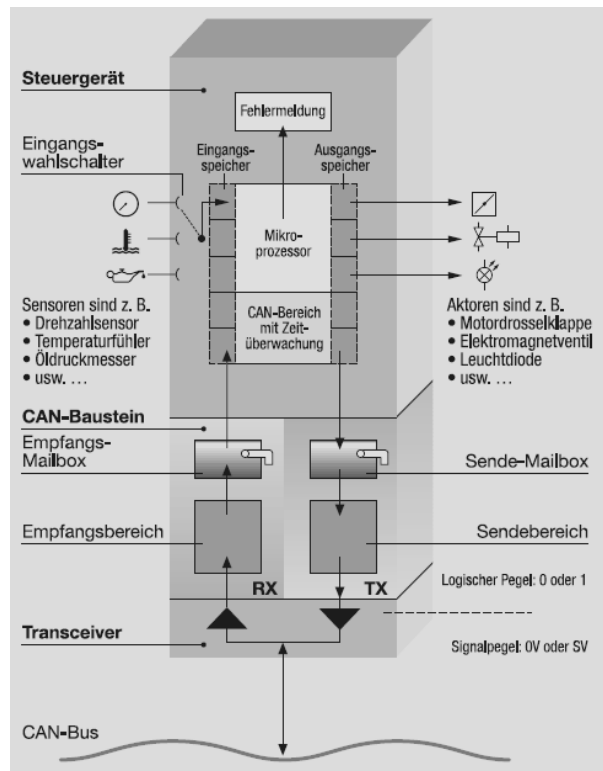
Vorteil dieser Umwandlungsmethode ist die vor allem die hohe Geschwindigkeit. Ein Nachteil stellt sich in der hohen Genauigkeitsanforderung der eingesetzten Widerstände dar. Ein Konkurrenzverfahren zum R2R-Netzwerk ist zum Beispiel das Direkte Verfahren, eine Kette von  $2^n$  gleich gewichteten Widerständen, dessen Spannungsstufe mit dem digitalen Wert über einen Multiplexer ausgewählt wird.

## 2.5 CAN-Busanbindung

In diesem Abschnitt soll nun abschließend eine kompakte Übersicht gegeben werden, wie ein „Teilnehmer“, zum Beispiel ein Mikrocontroller, an einen CAN-Datenbus angebunden ist. Der Aufbau des CAN-Protokolls sowie die Realisierung der Übertragung von Frames werden hier nicht erwähnt, da die CAN-Busanbindung nur nach dem OSI-Modell Schicht 1 betrachtet wird.

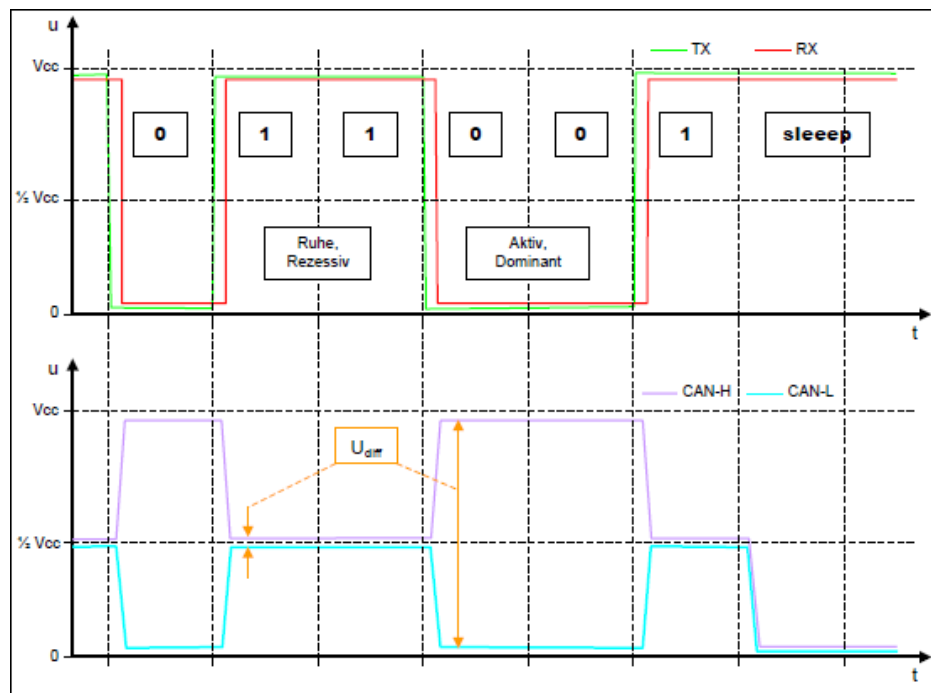
Die Busanbindung eines CAN-Teilnehmers erfolgt mit Hilfe von zwei Hardware-Komponenten, dem Controller und dem Transceiver. Beide Bauteile können in einem Bauteil zusammengefasst, aber auch getrennt voneinander sein.

Der CAN-Controller (Abbildung 21 [22]) bekommt vom Mikrocontroller die zu sendenden Daten zur Aufbereitung und gibt diese anschließend an den Transceiver weiter. Die Daten werden dabei in eine hochfrequente Rechteckspannung umgewandelt und auf eine kleine Gleichspannung moduliert. Umgekehrt ist der Controller auch für das Empfangen von Daten vom Transceiver verantwortlich.



**Abbildung 21: Physikalischer Aufbau eines CAN-Controllers**

Der CAN-Transceiver ist das Bindeglied zwischen Mikrocontroller und Datenbus und fungiert als Sender (Transmitter) und Empfänger (Receiver) der Daten. Er wandelt dabei die beiden differentiellen Signale CANH und CANL in eine für den Controller lesbare, hochfrequente Rechteckspannung um, wie in Abbildung 22 [32] zu sehen ist.



**Abbildung 22: Signalwandlung am CAN-Transceiver**

### 3 Konzept Dezentrale Aktorsteuerung

Nachdem die theoretischen Grundlagen gelegt sind, wird in diesem Abschnitt jetzt das Konzept für die Dezentrale Aktorsteuerung vorgestellt. Zur Vereinfachung wird diese ab sofort mit CAS (Client-Aktorsteuerung) abgekürzt.

Um die Aufgabe der CAS besser verstehen zu können, erfolgt zunächst ein Überblick über das Gesamtsystem. Anschließend werden Anforderungen aufgezeigt, die hardwareseitig zu erfüllen sind. Es folgt ein Vergleich zwischen den verschiedenen möglichen Grundstrukturen einer CAS mit anschließender Auswahl. Auf Grundlage dessen werden dann die geeigneten Hardwarekomponenten ausgewählt. Abschließend werden sowohl digitaler als auch analoger Sensor mit ihren Vor- und Nachteilen näher beleuchtet.

#### 3.1 Einordnung in das Gesamtsystem

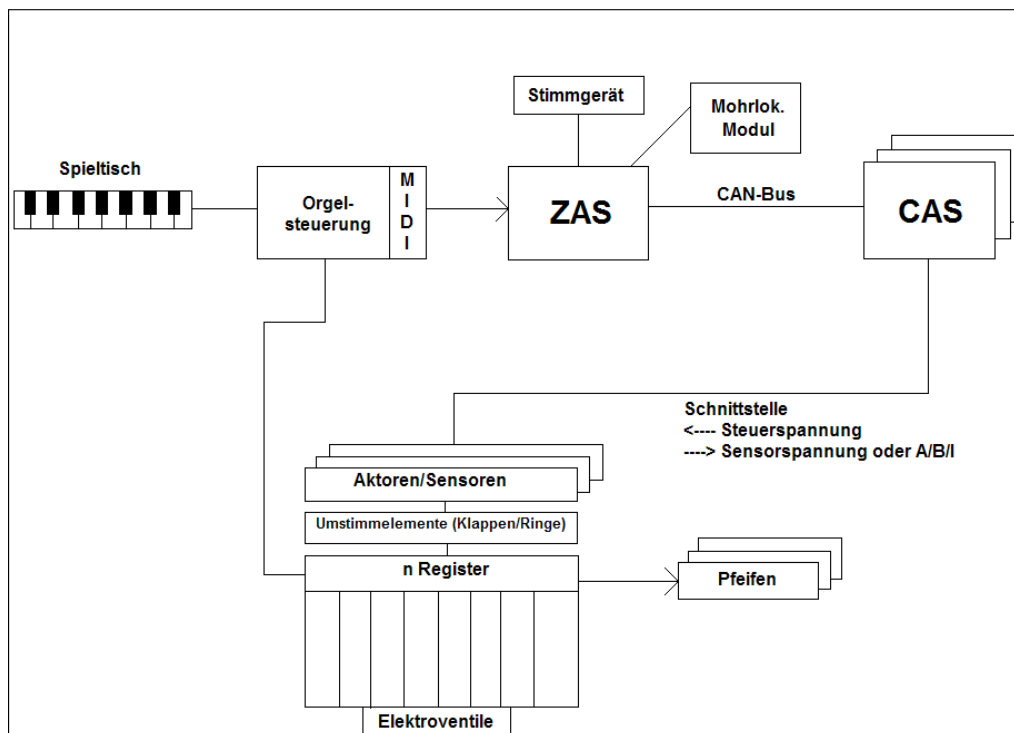


Abbildung 23: Systemübersicht zur Eingliederung der Steuerung in die Orgel

Die obere Abbildung zeigt das Gesamtsystem des Orgel-Prototyps, der aus zwei Teilen besteht. Das ist zum einen der konventionelle Teil der Orgel mit Spieltisch, Orgelsteuerung und Registern mit den Pfeifen, zum anderen die neu hinzukommende Umstimmsteuerung mit Zentraler Aktorsteuerung (ZAS), Dezentraler Aktorsteuerung (CAS)

sowie den Aktoren und Sensoren mit den Umstimmelementen. Beide Teile der Orgel sind unabhängig voneinander, d.h. die Orgel ist auch ohne die Umstimmsteuerung spielbar und dabei auf eine Grundstimmung abgeglichen.

Ist die Umstimmsteuerung aktiv, kommunizieren ZAS und CAS via CAN-Bus miteinander. Bei der Kommunikation muss zwischen zwei Modi unterschieden werden, dem Wartungs- und dem Spielmodus, wobei im Wartungsmodus keine Echtzeitanforderung besteht, im Spielmodus aber schon. Echtzeit bedeutet im konkreten Fall, dass die Zeitspanne vom Betätigen einer Taste am Spieltisch bis zum Umstimmen einer bestimmten Pfeife nicht mehr als 30ms betragen darf [(1) S. 2].

Im Wartungsmodus, der im Normalfall nach dem Einschalten der Umstimmsteuerung automatisch aktiviert wird, werden wichtige Einstellungen für die Umstimmsteuerung vorgenommen, die später im Spielbetrieb benötigt werden. Dazu gehören u.a. das Setzen von Regelparametern und die Kalibrierung der Aktoren. Nach Abschluss des Wartungsmodus, d.h. im Spielbetrieb, erhält die ZAS die Informationen über gespielte Noten von der Orgelsteuerung im MIDI-Format. Mit Hilfe eines von Herrn Mohrlök [37] entwickelten Algorithmus werden die Umstimmwerte für die gespielten Noten errechnet und in eine Umstimmtabelle eingetragen. Diese steht der ZAS zusammen mit der Information über die gezogenen Register zur Verfügung. Die nötigen Umstimminformationen werden über den CAN-Bus an die zuständige CAS übermittelt, wobei das CAN-Standard-Frame zum Einsatz kommt. Die CAS wertet die angekommenen Umstimminformationen aus und wandelt diese in eine analoge Steuerspannung um, die dem Aktor als Eingangssignal (Stellgröße) dient (vgl. Abb. 15, 2.3.1). Der Aktor betätigt unter Berücksichtigung der Steuerspannung über eine mechanische Kopplung das Umstimmelement der jeweiligen Pfeife und bewegt es in die erforderliche Position, sodass die Pfeife umgestimmt wird. Bei aktivierter Regelung ermittelt ein Sensor an der Pfeife die Ist-Position des Umstimmelements und übermittelt die zugehörige Sensorspannung (Einsatz eines analogen Sensors) bzw. das Quadratursignal (Einsatz eines digitalen Sensors) an die CAS. Diese errechnet nun die Regeldifferenz zwischen Soll- und Istwert und regelt bei Bedarf die Steuerspannung nach (s. 2.3.1).

## 3.2 Anforderungen

Nachdem die Aufgabe der CAS bekannt ist, sind nun die zu Projektbeginn festgelegten Anforderungen zu beschreiben. Der erste wichtige Punkt ist dabei die **Zeitanforderung**. Diese besagt, dass maximal 1ms vom Eintreffen der CAN-Telegramme bis zur Reaktion der Umstimmelemente an den Pfeifen vergehen darf. Das bedeutet, die auszuwählenden

Hardware-Komponenten: Mikrocontroller, D/A-Wandler, A/D-Wandler und CAN-Transceiver müssen für die zeitdiskrete Regelung mit einer ausreichend hohen Überabtastung arbeiten (s. 2.3.3). Des Weiteren müssen die gerade genannten Bauteile der CAS **kostengünstig**, in ausreichender Menge und über einen längeren Zeitraum (über mehrere Jahre) verfügbar sein. Zudem muss der Mikrocontroller über einen ausreichend großen Speicher für die Regler-Software verfügen. Ein weiterer wichtiger Aspekt sind die **Schnittstellen** der CAS. Es müssen Anbindungen für CAN, D/A-Wandler, D/A-Wandler, digitalen Sensor und Spannungsversorgung realisiert werden. Details dazu sind in Tabelle 2 zu finden. Für das Prototyp-Board sind außerdem noch zusätzlich Taster und LEDs zum Testen verschiedener Softwareteile vorgesehen. Eine wichtige letzte Anforderung betrifft das **Layout** des CAS-Boards. Dieses ist so zu entwerfen, dass interne und externe EMV-Einflüsse minimiert bzw. weitestgehend eliminiert werden (s. 2.2.3).

Aussagen zur Dimensionierung, d.h. maximale Abmessungen des CAS-Boards wurden zum damaligen Zeitpunkt (April 2011) nicht getroffen. Aus diesem Grund wurde für den Prototyp vorerst eine maximale Fläche von einer halben Europlatine (100 x 80mm) festgelegt. In der folgenden Tabelle sind alle oben beschriebenen Hardware-Anforderungen noch einmal kategorisiert aufgelistet:

Kategorie	Anforderung
Bauteile	<ul style="list-style-type: none"> <li>• kostengünstig, gut und lang verfügbare Bauteile</li> <li>• ausreichend hoher Speicher für Regler-Software</li> <li>• Taster und LEDs zu Testzwecken</li> </ul>
Schnittstellen	<ul style="list-style-type: none"> <li>• 1x CAN (1MBit/s)</li> <li>• 4x DAC, min. 12Bit Auflösung und 5V Spannungspegel</li> <li>• 4x ADC, min. 12Bit Auflösung und 5V Spannungspegel</li> <li>• 4x4 I/O für digitalen Sensor</li> <li>• 5V Spannungsversorgung</li> </ul>
Layout	<ul style="list-style-type: none"> <li>• Minimierung von internen und externen EMV-Einflüssen – siehe Kapitel 2.2</li> </ul>
Zeit	<ul style="list-style-type: none"> <li>• max. 1ms für den Regelabschnitt der CAS</li> </ul>

**Tabelle 2: Anforderungen an Prototyp-CAS**

### 3.3 Diskussion der Grundstruktur

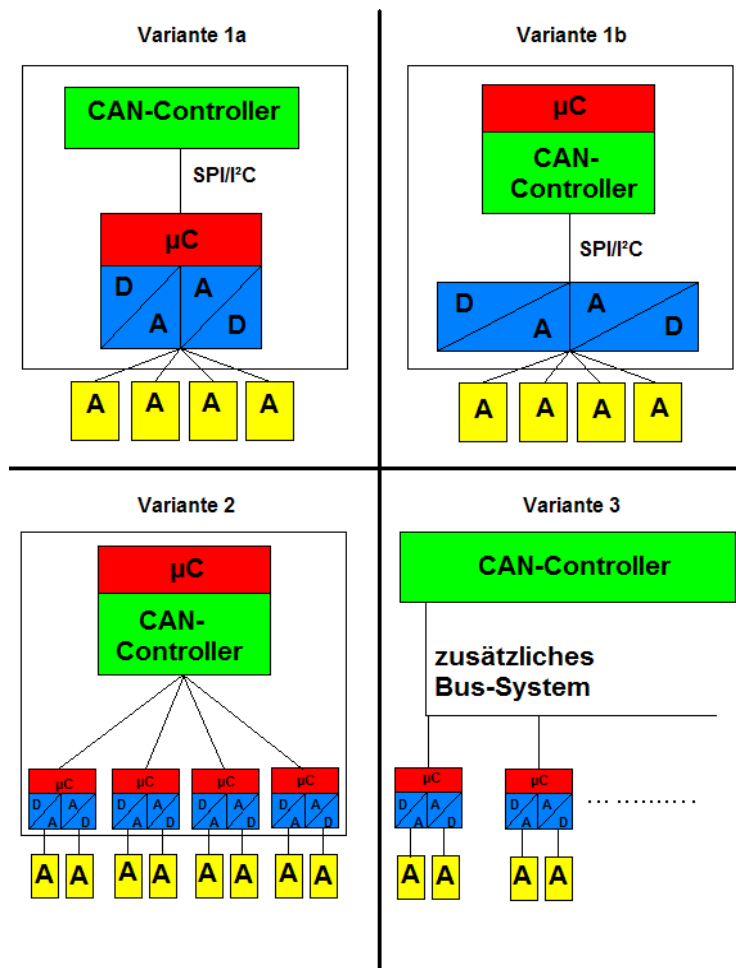
Bevor die geeigneten Hardwarekomponenten für die CAS ausgewählt werden können, muss der grundlegende Aufbau festgelegt werden, d.h. wie ist die CAS strukturiert und welche Bauteile sind in einer Komponente zusammengefasst bzw. extern über eine Schnittstelle anzusteuern. Zu Projektbeginn standen vier mögliche Varianten zur Auswahl [38], diese sind in Abbildung 24 vereinfacht dargestellt.

Die erste Möglichkeit (Variante 1a) wäre eine CAS mit einem externen CAN-Controller, der über einen SPI- oder I<sup>2</sup>C-Bus mit einem Mikrocontroller kommuniziert, der sowohl einen D/A- als auch einen A/D-Wandler integriert hat. Die Vorteile dieser Variante wären die relativ einfache Struktur, der Einsatz der bereits bekannten SPI/I<sup>2</sup>C-Schnittstelle und die große Auswahl an verfügbaren CAN-Controllern. Der große Nachteil ist die schlechte Verfügbarkeit von Mikrocontrollern, die den Anforderungen bezüglich der Wandlungszeit der beiden integrierten Wandler gerecht werden.

Möglichkeit 2 (Variante 1b) ist strukturell ähnlich zu Variante 1a, nur dass in diesem Fall der CAN-Controller in den Mikrocontroller integriert ist und die beiden Wandler extern angesteuert werden. Von Vorteil bei diesem Aufbau ist die größere Auswahl an Mikrocontrollern, allerdings kann es Probleme bei der Signallaufzeit geben, wenn D/A- und A/D-Wandler über dieselbe Schnittstelle kommunizieren.

Die dritte Möglichkeit (Variante 2) wird über einen übergeordneten Mikrocontroller (Master) mit internem CAN-Controller realisiert. Dieser ist über mehrere I/O-Schnittstellen mit weiteren untergeordneten Mikrocontrollern (Slaves) verbunden, in denen D/A- und A/D-Wandler integriert sind. Die Vorteile hier sind die ebenfalls hohe Verfügbarkeit an Mikrocontrollern mit integriertem CAN-Controller und relativ einfach gestaltete Kommunikation. Nachteilig wirken sich dagegen die schlechte Verfügbarkeit an Mikrocontrollern mit internem D/A- und A/D-Wandler, die höheren Herstellungskosten durch den Einsatz vieler Mikrocontroller und das komplexere Leiterplattenlayout mit dem damit höheren Entwicklungsaufwand aus.

Die letzte Alternative (Variante 3) wäre die Aufsplittung der CAS in mehrere Module. Auf einem Board wäre ein CAN-Controller installiert, der über ein zusätzliches Bus-System mit weiteren Boards verbunden ist, welche einen Mikrocontroller sowie D/A- und A/D-Wandler beinhalten. Von Vorteil ist dabei die große Auswahl an CAN-Controllern. Die Nachteile sind aber das zusätzlich benötigte Bus-System und die sich daraus ergebende höhere Komplexität, sowie höheren Herstellungskosten aufgrund der großen Anzahl an CAS-Platinen.



**Abbildung 24: Mögliche Struktur-Varianten der CAS**

Anhand der eben genannten Vor- und Nachteile der verschiedenen Struktur-Varianten für den CAS-Prototyp, aber auch mit Blick auf die Realisierbarkeit und Komplexität der zu entwickelnden Software, musste nun eine Entscheidung getroffen werden. Dies geschah in Zusammenarbeit mit Herrn Michael Kellner [39], der für die Softwareentwicklung verantwortlich war.

Es wurde relativ zügig deutlich, dass die dritte Variante mit dem zusätzlich benötigten Bus-System nicht in die engere Auswahl kommt, da Aufwand und Kosten einfach zu hoch waren. Hinzu kam die Tatsache, dass bei einem möglichen Defekt des CAN-Controllers das komplette System ausfallen würde. Auch Variante 2 wurde schließlich verworfen, da aufgrund der hohen Anzahl an (unterschiedlich) benötigten Mikrocontrollern der Programmieraufwand zu groß wäre. Zwischen Variante 1a und 1b fiel die Entscheidung schwieriger aus, da sich beide in Struktur, Entwicklungsaufwand- und kosten sehr ähnlich sind. Die Wahl fiel schließlich auf Variante 1b. Ausschlaggebend für diese Entscheidung war zum einen die größere Auswahl an verfügbaren Mikrocontrollern sowie D/A- und A/D-Wandlern, die den genannten Anforderungen genügen. Zum anderen war zu bedenken,



dass bei einem Defekt der Prototyp-Platine bei Variante 1b einzelne Bauteile leichter zu tauschen sind als bei Variante 1a, da Mikrocontroller sowie D/A- und A/D Wandler getrennt voneinander installiert sind. Für die spätere Serienproduktionsreihe spielt dieser Punkt allerdings keine Rolle mehr, da bei einem Defekt zu diesem Zeitpunkt mit großer Sicherheit die komplette CAS getauscht werden würde.

## **3.4 Auswahl der Hardware-Komponenten**

Nach den im Abschnitt 3.2 genannten Anforderungen und unter Berücksichtigung der gewählten Grundstruktur aus Abschnitt 3.3 wurde nun nach geeigneten Bauteilen recherchiert. Die vier Hauptkomponenten Mikrocontroller, A/D-Wandler, D/A-Wandler und CAN-Transceiver sind detailliert beschrieben, die anderen benötigten Bauteile für die Prototyp-Platine werden nur kurz erläutert, da es sich dabei hauptsächlich um mechanische Komponenten handelt und einige davon nur zur vereinfachten Bedienung des Prototyps eingesetzt werden.

### **3.4.1 Mikrocontroller**

Nach der im Abschnitt 3.3 gewählten Grundstruktur der CAS war ein Mikrocontroller auszuwählen, der einen CAN-Controller integriert hat. Da die Vielfältigkeit in diesem Bereich sehr groß ist, war auch auf Kleinigkeiten zu achten, die den Entwicklungsprozess vereinfachen. Dazu gehörten unter anderem, dass ein Entwicklungsboard für Vorab-Softwaretests zur Verfügung stand und das Entwicklungstool für den Mikrocontroller keine Einschränkungen im Funktionsumfang besaß. Die Recherche konzentrierte sich auf die größeren Hersteller (Atmel, Microchip, ST Microelectronics, Texas Instruments, Silicon Labs), da diese eine große Produktpalette besitzen und detaillierte Informationen über deren Produkte abrufbar sind. Die Entscheidung fiel letztendlich auf die AT90CAN-Serie von Atmel mit einer 8bit CPU. Für diese Auswahl sprach die sehr gute Verfügbarkeit, die übersichtliche Dokumentation im Datenblatt, das vorhandene, umfangreich ausgestattete Entwicklungsboard ATDVK90CAN1 und die Entwicklungssoftware AVR-Studio 5, die von Atmel in vollem Umfang kostenfrei angeboten wird und über welche schon Vorkenntnisse bestanden. Bei den möglichen Alternativen zur AT90CAN-Serie (siehe Tabelle 3) gibt es hingegen Einschränkungen bzw. keine Vorkenntnisse bei der Entwicklungs-Software und Defizite bezüglich der Übersichtlichkeit des Datenblattes.

	<b>STM8S208MB, STM8S208MBT6B</b>	<b>C8051F582-IQ</b>	<b>dsPIC30F6012A</b>
<b>Hersteller</b>	ST Microelectronics	Silicon Labs	Microchip
<b>Kerngröße</b>	8Bit	8Bit	16Bit
<b>Taktfrequenz</b>	20 MIPS bei 24MHz	50 MIPS bei 50MHz	30 MIPS bei 40MHz
<b>Flash/EEPROM/RAM</b>	128k/2k/6k	128k/ - /8k	144k/4k/8k
<b>Interface</b>	CAN, I <sup>2</sup> C, SPI	CAN, I <sup>2</sup> C, SPI	CAN, I <sup>2</sup> C, SPI
<b>Sonstiges</b>	-	12Bit ADC intern, Wandlungszeit ca. 25µs	12Bit ADC intern, Wandlungszeit ca. 25µs
<b>günstigster Preis [Stand: 11.05.2011]</b>	4,43EUR	5,83EUR	10,03EUR
<b>Entwicklungsboard</b>	DEMO BOARD STM8S208X (Preis ca. 65EUR)	C8051F580DK (Preis ca. 80EUR)	dsPICDEM 80-pin Starter Development Board (Preis ca. 60EUR)
<b>Entwicklungs- Software</b>	ST Toolset; kostenlos, aber programmierbarer Code auf 32k beschränkt	Silicon Labs IDE, kostenlos	MPLAB IDE v8, kostenlos

**Tabelle 3: Alternativen zum AT90CAN128**

### 3.4.1.1 Details zum Mikrocontroller

Die AT90CAN-Serie ist Teil der megaAVR-Famile, zu der insgesamt 99 Controller gehören (Stand: 12.09.2011). Die Besonderheit an der AT90CAN-Serie, die drei verschiedene Mikrocontroller beinhaltet, ist der integrierte CAN-Controller. Die Unterschiede zwischen den verschiedenen Ausführungen liegen in den Speichergrößen, diese sind in Tabelle 4 zusammengefasst. Da zum Zeitpunkt der Auswahl noch nicht feststand, wie viel Speicher die Software genau benötigt, wird auf der Prototyp-CAS der AT90CAN128 eingesetzt werden, da dieser das größte Speichervolumen besitzt. Sollte sich nach Fertigstellung der Software-Entwicklung zeigen, dass auch ein Mikrocontroller mit kleinerem Speicher genügt, kann noch ein Austausch erfolgen. Neben dem bereits erwähnten integrierten CAN-Controller und den in Tabelle 4 genannten Speichergrößen zeichnet sich die AT90CAN-Serie noch durch eine maximale Taktfrequenz von 16MHz<sup>1</sup>, eine SPI- und I<sup>2</sup>C-Schnittstelle zur Kommunikation mit dem D/A- und A/D-Wandler und eine JTAG- und ISP-Programmierschnittstelle aus. Als Gehäuse-Form stehen zwei verschiedene SMD-Varianten zur Verfügung, wobei eines davon ein QFN-Gehäuse ist und deshalb für die Prototyp-Platine nicht in Frage kommt. Weitere Details zum Mikrocontroller sind im Datenblattauszug in der Anlage A und im vollständigen Datenblatt [27] zu finden.

Device	Flash	EEPROM	SRAM
AT90CAN32	32kByte	1kByte	2kByte
AT90CAN64	64kByte	2kByte	4kByte
AT90CAN128	128kByte	4kByte	4kByte

**Tabelle 4: Speichergrößen der AT90CAN-Serie**

---

<sup>1</sup> ab 4,5V Betriebsspannung und externem Quarz

### **3.4.1.2 Wichtiges zur Pin-Belegung**

Bei der Pin-Belegung des AT90CAN128 waren einige Dinge im Vorfeld der Entwicklung zu beachten. Da wäre zum einen die Differenzierung der Funktion der einzelnen Ports. Diese können als normale I/O-Schnittstelle genutzt werden, besitzen aber zum Großteil auch noch eine Sonderfunktion, wie die Nutzung als SPI- und I<sup>2</sup>C-Schnittstelle. Des Weiteren mussten Ports, an denen ein Timer oder Zähler gekoppelt ist, frei bleiben, da diese für die Softwareentwicklung benötigt wurden. Weiterhin wurde festgelegt, dass die JTAG-Programmierschnittstelle im Layout nicht direkt berücksichtigt wird, da diese nur zum Debuggen bei der Prototyp-CAS benötigt wird. Die Nutzung ist allerdings trotzdem möglich (siehe Anlage H). Außerdem erfolgt die Umschaltung zwischen dem Steuerungs- und Regelungsmodus mittels eines Jumpers, der den angeschlossenen Pin des Mikrocontrollers je nach ausgewähltem Modus auf Betriebsspannungs- oder Massenniveau zieht. Die detaillierte Übersicht zur Pin-Belegung ist in der Anlage E zu finden.

## **3.4.2 Analog/Digital-Wandler**

### **3.4.2.1 Auswahl und Alternativen**

Die Auswahl an A/D-Wandlern mit der geforderten Auflösung von 12bit und vier analogen Eingängen ist groß. Die für das Projekt geforderten 5V Betriebs-/Referenzspannung und die hohe zeitliche Anforderung, dass der gesamte Regelabschnitt der CAS nicht mehr als 1ms betragen darf, was eine ausreichend niedrige Wandlungszeit des A/D-Wandlers (siehe 2.3.3) voraussetzt, begrenzt die Anzahl an verfügbaren Produkten allerdings erheblich. Für das letztendlich gewählte Modell MCP3204 von Microchip sprachen besonders die sehr gute Verfügbarkeit, der relativ günstige Preis und die ausreichend hohe Abtastrate sowie geringe Wandlungszeit (siehe. 3.4.2.2). Der MCP3204 besitzt eine SPI-Schnittstelle zur Kommunikation mit dem Mikrocontroller und ist laut Datenblatt besonders gut als Sensorschnittstelle und in der Prozess-Überwachung (Regelung) geeignet. Des Weiteren stehen drei verschiedene Gehäusetypen zu Verfügung. Weitere Angaben sind im Datenblattauszug in der Anlage B und im Datenblatt [28] zu finden.

Neben dem gewählten Modell von Microchip gibt es natürlich noch mögliche Alternativen von anderen Herstellern. Die in Tabelle 5 aufgeführten A/D-Wandler waren bezüglich Abtastrate und Wandlungszeit ähnlich leistungsfähig, verursachten aber höhere Kosten oder besaßen zum Zeitpunkt der Auswahl eine geringere Verfügbarkeit.

	<b>ADS7841EG4</b>	<b>AD7843ARQZ</b>
<b>Hersteller</b>	Texas Instruments	Analog Devices
<b>Auflösung / Kanäle</b>	12bit / 4	12bit / 4
<b>Abtastrate / Wandlungszeit</b>	200kSPS / 15µs	125kSPS / 24µs
<b>Preis [Stand 11.05.2011]</b>	4,85EUR	1,82EUR

**Tabelle 5: Alternative A/D-Wandler**

#### **3.4.2.2 Abtastrate/Wandlungszeit**

In diesem Abschnitt soll die Abtastrate und Wandlungszeit des MCP3204 noch einmal näher betrachtet werden. Die Tabelle 6 ist ein Auszug aus dem Datenblatt des MCP3204 [(28) S. 2] und zeigt eine Übersicht der Wandlungszeit und Abtastrate. Dabei wird nach dem Verfahren der sukzessiven Approximation (siehe 2.4.1) gearbeitet.

<b>Electrical Characteristics:</b> Unless otherwise noted, all parameters apply at $V_{DD} = 5V$ , $V_{SS} = 0V$ , $V_{REF} = 5V$ , $T_{AMB} = -40^{\circ}C$ to $+85^{\circ}C$ , $f_{SAMPLE} = 100$ ksp/s and $f_{CLK} = 20 \cdot f_{SAMPLE}$						
<b>Parameters</b>	<b>Sym</b>	<b>Min</b>	<b>Typ</b>	<b>Max</b>	<b>Units</b>	<b>Conditions</b>
<b>Conversion Rate</b>						
Conversion Time	$t_{CONV}$	—	—	12	clock cycles	
Analog Input Sample Time	$t_{SAMPLE}$		1.5		clock cycles	
Throughput Rate	$f_{SAMPLE}$	—	—	100 50	ksp/s ksp/s	$V_{DD} = V_{REF} = 5V$ $V_{DD} = V_{REF} = 2.7V$

**Tabelle 6: Übersicht Wandlungszeit und Abtastrate des MCP3204**

Wie der Tabelle 6 zu entnehmen ist, beträgt die maximale Abtastrate des MCP3204 100kSPS. Dies bedeutet, das zeitkontinuierliche analoge Eingangssignal (siehe 2.4.1) wird alle 10µs abgetastet. Die Abtastrate ist somit 100mal höher als die Maximalzeit von 1ms, die vom Anlegen eines neuen Sollwertes bis zur Umstimmung vergehen darf. Das Nyquist-Shannon-Abtasttheorem (siehe 2.3.2) ist somit für einen einzelnen betrachteten Regeldurchlauf erfüllt.

Nun ist noch die Wandlungszeit des MCP2551 zu betrachten. Diese setzt sich aus einer Verzögerungszeit  $t_{\text{SAMPLE}}$  und der eigentlichen Wandlungszeit  $t_{\text{CONV}}$  zusammen (siehe Tabelle 6).  $t_{\text{SAMPLE}}$  ist dabei eine Zeitspanne, die vom Anlegen einer neuen analogen Eingangsspannung bis zum Beginn des eigentlichen Wandlungsvorgangs vergeht. Mit den Werten aus Tabelle 7 ergibt sich damit folgende Wandlungszeit pro Kanal:

$$t_{\text{Wandel}} = 13,5 \cdot \frac{1}{20 \cdot f_{\text{SAMPLE}}} = 13,5 \cdot \frac{1}{20 \cdot 100 \text{kHz}} = 6,75 \mu\text{s} \quad [\text{Gl. 3.4-1}]$$

Zum Wandeln aller vier Kanäle von digital zu analog benötigt der MCP3204 also  $27 \mu\text{s}$ . Eine grafische Übersicht des Wandlungsvorganges mit allen relevanten Zeiten ist auch noch einmal in der Anlage B und im Datenblatt des MCP3204 zu finden [(28) S. 16].

### 3.4.3 Digital/Analog-Wandler

#### 3.4.3.1 Auswahl und Alternativen

Auch das Angebot an D/A-Wandlern mit 12bit Auflösung und vier analogen Ausgängen ist vielfältig. Auch hier war wie beim A/D-Wandler darauf zu achten, die Wandlungszeit, beim D/A-Wandler als Einschwingzeit bezeichnet, möglichst klein zu halten (siehe 3.4.3.2). Aufgrund der Tatsache, dass eine Verbindung des A/D- und D/A-Wandlers über die selbe Schnittstelle zum Mikrocontroller problematisch sein könnte und der MCP3204 via SPI kommuniziert, ergab sich als weitere Anforderung die Kommunikation zwischen D/A-Wandler und Mikrocontroller via I<sup>2</sup>C-Schnittstelle. Diese Einschränkung begrenzte die Auswahl erheblich und die Entscheidung fiel schließlich für den MCP4728 von Microchip. Neben der vorhandenen I<sup>2</sup>C-Schnittstelle überzeugten gegenüber den vorhandenen Alternativgeräten (siehe Tabelle 7) vor allem der günstige Preis und die sehr gute Verfügbarkeit. Weitere Details zur Funktion und Gehäuseform sind im Datenblattauszug in der Anlage C und im kompletten Datenblatt [29] zu finden.

	<b>DAC7554IDGS</b>	<b>LTC2624CGN</b>
<b>Hersteller</b>	Texas Instruments	Linear Technology
<b>Auflösung / Kanäle</b>	12bit / 4	12bit / 4
<b>Abtastrate / Einschwingzeit</b>	50MSPS / 5 $\mu\text{s}$	50MSPS / 7 $\mu\text{s}$
<b>Preis [Stand: 11.05.2011]</b>	10,10EUR	10,45EUR

**Tabelle 7: Alternative D/A-Wandler**

### 3.4.3.2 Einschwingzeit

In diesem Abschnitt soll die zeitliche Komponente des D/A-Wandlers noch einmal näher betrachtet werden. Den wichtigsten Parameter stellt dabei die Einschwingzeit (engl. settling time) dar, für den MCP4728 beträgt diese laut Datenblatt 6µs [(29) S. 5]. Die Einschwingzeit besagt, wie lange es dauert, bis das analoge Ausgangssignal einen im Datenblatt vorgegebenen Toleranzbereich erreicht hat und nicht wieder verlässt. Im Fall des MCP4728 beträgt die Breite dieses Toleranzbandes ein halbes LSB, unter der Bedingung, dass sich der Wert des digitalen Eingangscodes maximal von 25% auf 75% des Referenzendwertes (4096 beim MCP4728) oder umgekehrt ändert.

Der MCP4728 benötigt also beispielweise bei einer Referenzspannung von 5V und einer Änderung des digitalen Eingangswertes von 1024 auf 3072 6µs, bis sich die geforderte analoge Ausgangsspannung von 3,75V auf 0,61mV (1/2 LSB) genau eingestellt hat. Im digitalen Regelkreis wirkt sich diese Einschwingzeit, wie in Abschnitt 2.3.3 beschrieben, als Totzeitglied aus. Die Bestrebungen müssen daher immer dahin gehen, einen Digital/Analog-Wandler mit einer ausreichend geringen Einschwingzeit auszuwählen.

### 3.4.4 CAN-Transceiver

Das Angebot an CAN-Transceivern mit der geforderten maximalen Datenrate von 1Mbit/s ist vielfältig. Unterschiede sind nur in der Gehäuseform und im Preis zu finden. Funktionell, d.h. wie die Anbindung vom Mikrocontroller an den Datenbus erfolgt (siehe 2.5), sind alle Modelle gleich, da die CAN-Bus-Übertragung genormt ist. Für die CAS fiel die Entscheidung aufgrund des geringsten Preises für den MCP2551 von Microchip, Alternativen zum gewählten Modell sind in Tabelle 8 zu finden.

	<b>L9616</b>	<b>ATA6660</b>
<b>Hersteller</b>	ST Microelectronics	Atmel
<b>maximale Datenrate</b>	1Mbit/s	1Mbit/s
<b>typ. Versorgungsspannung</b>	5V	5V
<b>Preis [Stand: 04.07.2011]</b>	1,24EUR	3,81EUR

**Tabelle 8: Alternative CAN-Transceiver**

Der MCP2551 unterstützt wie gefordert eine maximale Datenrate von 1Mbit/s und wird mit 5V Betriebsspannung versorgt. Über einen entsprechenden Eingangs-Pin kann zwischen drei verschiedene Betriebsmodi gewählt werden [(30) S. 4], wobei für die CAS nur der High-Speed-Modus relevant ist, da nur dieser die geforderte Datenrate unterstützt. Weitere Details dazu, sowie zu den verfügbaren Gehäuseformen sind im Datenblattauszug in der Anlage D und im vollständigen Datenblatt [30] zu finden.

### **3.4.5 Weitere Bauteile**

Zusätzlich zu den gerade beschriebenen IC-Schaltkreisen werden noch weitere Bauteile für die CAS-Prototyp-Platine benötigt. Dabei handelt es größtenteils um mechanische Bauteile, die allerdings nur auf der Prototyp-CAS zum Einsatz kommen. Grund dafür ist vor allem die schnellere und einfachere Bedienung. Für die Serienfertigung werden einige Bauteile noch einmal gegen langzeitstabilere Varianten ausgetauscht werden oder komplett wegfallen.

Für die Prototyp-Platine werden Schraubklemmen für den Ein-/Ausgang des A/D- bzw. D/A-Wandlers benötigt. Der Anschluss des digitalen Sensoreingangs wird mittels Stiftkontakten realisiert, die Anbindung an den CAN-Bus erfolgt mit einem RS232-Stecker. Für den Mikrocontroller wird noch ein externer 16MHz Quarz als Taktgeber benötigt, da dieser intern nur einen 8MHz-Oszillator besitzt. Außerdem werden für Softwaretests noch zusätzlich Taster und LEDs installiert. Eine detaillierte Auflistung aller Bauteile ist in der Kostenübersicht der CAS-Prototyp-Platine in der Anlage F zu finden.

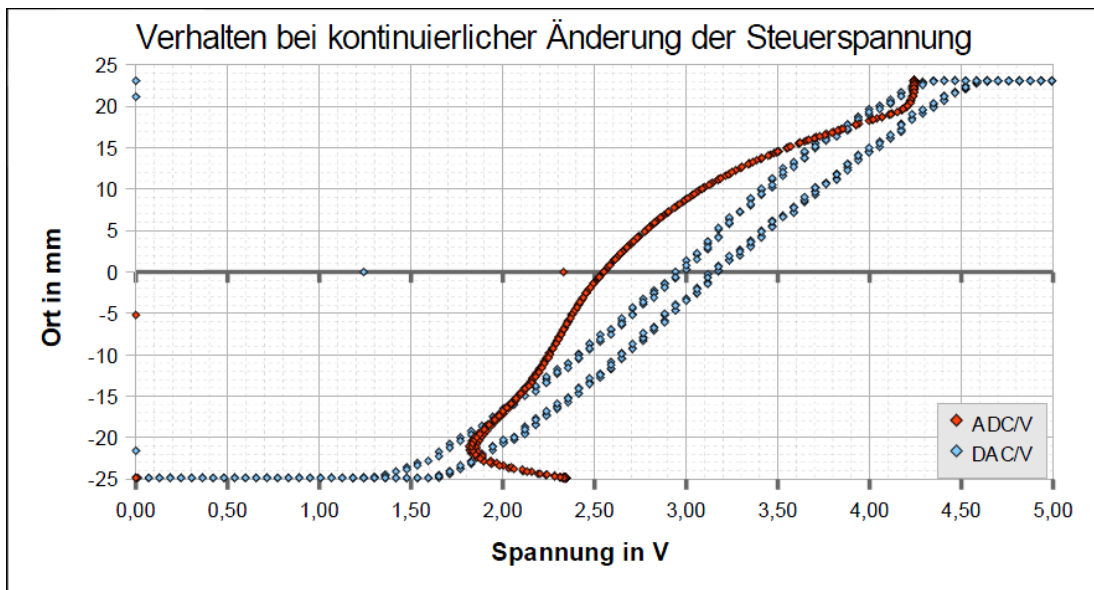
## **3.5 Analoger/Digitaler Sensor**

Für das Konzept des CAS spielt die Frage, ob zur Positionsermittlung des Umstimmelements ein analoger oder digitaler Sensor eingesetzt wird, eine wichtige Rolle. Zum Zeitpunkt der Konzepterstellung war dies noch nicht vollständig entschieden, die Anstrengungen gingen aber dahin, den analogen Sensor zu verwenden. Da der digitale Sensor aber dennoch zur Diskussion stand, musste die CAS-Prototyp-Platine für beide Varianten ausgelegt sein, sollte aber funktionell, sowohl Hardware als auch Software betreffend, und layoutseitig eher den analogen Sensor bevorzugen. Aus diesem Grund wurden die digitalen Eingänge zu Testzwecken mit normalen I/O-Pins des Mikrocontrollers verbunden. Eine externe Komponente zur Auswertung des Quadratursignals kam nicht in Frage, da Entwicklungsaufwand und Kosten zu hoch wären.

Vergleicht man beide Sensortypen miteinander, ist der große Vorteil der analogen Variante, dass bei der Übermittlung der Sensorspannung die absolute Position des Umstimm-



elements übertragen wird (Istwert). Der Nachteil gegenüber dem digitalen Sensor ist die Tatsache, dass zusätzlich Zeit für die Wandlung von analog zu digital benötigt wird. Ein großes Problem gibt es aber zusätzlich bei beiden, beim Verstellen der Umstimmeelemente entstehen an den Aktoren Reibungskräfte. Diese führen dazu, dass bei der Bewegung eines Aktors in eine bestimmte Richtung und anschließender Bewegung in die Gegenrichtung, beim erneuten Anfahren anfangs mehr Kraft aufgewendet werden muss, um das Umstimmeelement in die Ausgangsposition zurück zu bewegen. In der Sensorspannung macht sich diese Tatsache als Hysterese, wie in Abbildung 25 zu erkennen [(31) S. 4], bemerkbar und ist der eigentliche Grund, warum überhaupt eine Regelung benötigt wird.



**Abbildung 25: Hysterese aufgrund von Reibung**

## 4 Schaltungs- und Leiterplattenentwurf

Nachdem das Konzept für den CAS-Prototyp feststeht, beschäftigt sich dieses Kapitel mit dem Entwurf der Schaltung und des Layouts der CAS. Als Software wurde dazu das PCB<sup>2</sup>-Tool „EAGLE 5.1“ in der frei verfügbaren Version verwendet. Zu Beginn erfolgt der Schaltungsentwurf. In Bezug darauf wird auf einzelne Schaltungsteile noch einmal genauer eingegangen und verschiedene Vorgehensweisen näher erläutert. Mit Hilfe der erstellten Schaltung entsteht dann das Leiterplattenlayout. Das Layout orientiert sich dabei an den im Abschnitt 2.2.3 erläuterten Maßnahmen für eine bessere EMV und an verschiedenen Design-Regeln.

### 4.1 Schaltungsentwurf

Um die Schaltung des CAS-Prototyps besser zu verstehen, werden in den folgenden Abschnitten Schaltungsteile einzeln näher erläutert und getroffene Maßnahmen und Entscheidungen erklärt. Der Schaltungsentwurf richtet sich dabei nach den Hinweisen aus den Datenblättern (Layout-Considerations) der verschiedenen Hardware-Komponenten und natürlich auch den Maßnahmen zur EMV-Verbesserung.

#### 4.1.1 Spannungsversorgung

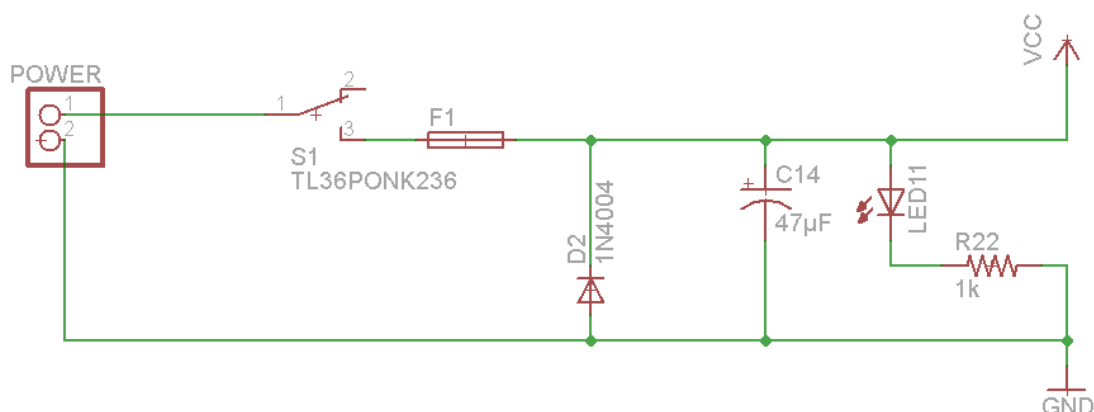


Abbildung 26: Spannungsversorgung CAS

<sup>2</sup> Print Circuit Board

Die obere Abbildung zeigt das System der Spannungsversorgung für den CAS-Prototyp. Nach den beiden Anschlussklemmen befindet sich ein Schalter, mit dem die Versorgungsspannung ein- und ausgeschaltet werden kann. Danach folgen eine Sicherung und eine Diode, die zum Schutz der CAS dienen sollen. Die Sicherung schützt gegen zu hohen Stromfluss und löst bei Bedarf aus (ab 500mA). Die Diode ist in Sperrrichtung geschaltet und zusätzlich als Verpolschutz vorgesehen. Im Verpolungsfall wird die Diode leitend und begrenzt die Spannung. Die Sicherung schützt die CAS dabei gegen einen Kurzschluss. Anschließend ist noch ein 47µF Tantal-Kondensator [(27) Kapitel 27] zur Entkopplung integriert, um erste leitungsgebundene Störeinflüsse zu minimieren. Eine LED mit vorgeschaltetem Widerstand signalisiert abschließend, ob die 5V Versorgungsspannung anliegen.

#### 4.1.2 Mikrocontroller

Im Datenblatt des Mikrocontrollers AT90CAN128 [27] finden sich Hinweise bzw. Vorgaben zu den Werten der Entkoppelkondensatoren, die parallel geschaltet sind möglichst nah der Versorgungspins platziert werden sollten. Die Werte richten sich dabei nach Taktfrequenz des Mikrocontrollers, wie in Tabelle 9 [(27) S. 383] zu sehen ist.

Taktfrequenz $f_{op}$	$C_1$	$C_2$
16MHz	33nF	10nF
12MHz	56nF	15nF
10MHz	82nF	22nF
8MHz	120nF	33nF
6MHz	220nF	56nF
4MHz	560nF	120nF

**Tabelle 9: Gegenüberstellung Taktfrequenz und Entkoppelkondensatoren**

Bei einem Blick in die Tabelle ist festzustellen, dass die in Abschnitt 2.2.3 erläuterte Maßnahme zur EMV-Verbesserung, nur Kondensatoren mit gleichen Werten parallel zu schalten, nicht eingehalten ist. Der Grund dafür ist, dass mit den gewählten Kondensatorwerten die einfache und doppelte Taktfrequenz gefiltert werden sollen. Der Zusammenhang zwi-

schen den herauszufilternden Störfrequenzen und Entkopplungswerte sind durch die folgenden zwei Formeln definiert, L ist darin die Induktivität der Versorgungsspannungs- bzw. Masseleitungen:

$$f_{op} = \frac{1}{2\pi\sqrt{LC_1}} \quad \text{und} \quad 2 \cdot f_{op} = \frac{1}{2\pi\sqrt{LC_2}} \quad [(27) \text{ S. 383}]$$

Für die erste Version des CAS-Prototyps werden die vorgegebenen Kondensatorwerte für 16MHz Taktfrequenz verwendet. Sollte sich nach Abschluss der Funktions- und EMV Tests (siehe Kapitel 5) herausstellen, dass die Wahl der vorgegebenen Kondensatorwerte ungünstig war, wird dies für die Serienproduktion bzw. späteren Prototyp-Revisionen noch korrigiert werden.

Zusätzlich zu den Kondensatoren an den Versorgungspins des Mikrocontrollers, sind auch noch Entkoppelkondensatoren an den Takteingängen für den externen Quarz nötig. Die Werte dieser Kondensatoren sind abhängig vom eingesetzten Quarz, der Höhe der Streukapazität und dem elektromagnetischen Rauschen der Umgebung. Als erste grobe Vorgabe sind laut Datenblatt des AT90CAN128 12 – 22pF [(27) S. 39] erforderlich. Für den ersten Prototyp der CAS werden zwei 15pF Kondensatoren gewählt.

### 4.1.3 A/D-Wandler

Der A/D-Wandler MCP3204 wird über seine vorhandene SPI-Schnittstelle mit dem Mikrocontroller verbunden, wobei der Mikrocontroller als Master und der A/D-Wandler als Slave konfiguriert ist. Die notwendigen Einstellungen dafür werden softwareseitig vorgenommen. Zur Störsignal-Entkopplung ist laut Datenblatt [(28) S. 20] ein 1µF Kondensator nahe den Versorgungspins vorgesehen. Zudem kann die 5V Versorgungsspannung bei der Prototyp-Platine der CAS über eine Brücke mit dem Referenzspannungsanschluss des MCP3204 verbunden werden. Zwischen Referenzspannung und Masse ist aufgrund möglicher Störsignalreflexionen durch die Brückenverbindung einer weiterer 1µF Kondensator vorgesehen. Des Weiteren gibt es im Datenblatt des MCP3204 den Hinweis, sowohl den digitalen, als auch den analogen Massepin mit einer analogen Massefläche auf der Platine zu verbinden, um den Einfluss von digitalem Rauschen auf den A/D-Wandler von anderen Hardware-Komponenten auf der Platine, wie dem Mikrocontroller, zu vermindern. Wie später im Abschnitt 4.2.2 beschrieben, wird dieses Problem für die Prototyp-CAS über eine sternförmige Verbindung von digitaler und analoger Masse gelöst [siehe 2.2.3.5].

#### 4.1.4 D/A-Wandler

Der D/A-Wandler MCP4728 wird via I<sup>2</sup>C-Schnittstelle mit dem Mikrocontroller verbunden. Die Datenübertragungsrate ist durch den Mikrocontroller auf 400kHz beschränkt. Laut Datenblatt des MCP4728 ist bei einer eingestellten Datenübertragungsrate von 400kHz je ein Pull-Up-Widerstand von 5kΩ für jede der beiden Übertragungsleitungen, SCL und SDA, notwendig [(29) S. 51]. Aufgrund der hohen gestellten Zeitanforderung an die CAS, wird die maximale Übertragungsrate von 400kHz angestrebt und deshalb 4,7kΩ Pull-Up-Widerstände verwendet. Des Weiteren sind zur Störentkopplung zwei Kondensatoren nahe den Versorgungspins vorgesehen. Dabei handelt es sich um einen 0,1μF Keramik-Kondensator und um einen 10μF Tantalkondensator. Weiterhin verfügt der MCP4728 über zwei weitere Anschlüsse. Zum einen über einen Status-Indikator-Pin für den internen EEPROM des MCP4728. Dieser wird aktuell nicht benötigt und deshalb frei gelassen. Zum anderen gibt es einen Anschluss, der für die Synchronisation der Ein- und Ausgangsregister des D/A-Wandlers zuständig ist [(29) 3.4]. Auf der Prototyp-Platine kann dieser Pin mit Hilfe einer Brücke mit dem Mikrocontroller, über einen Pull-Up-Widerstand mit der Betriebsspannung und über einen Pull-Down-Widerstand mit Masse verbunden werden. Bei der Verbindung mit Masse, werden die Inhalte der Eingangsregister des D/A-Wandlers immer sofort nach dem Eintreffen neuer Eingangsdaten an die Ausgangsregister übermittelt. Ansonsten geschieht dies nur bei einer Logikstatus-Änderung des Pins von „1“ zu „0“.

#### 4.1.5 CAN-Transceiver

Der CAN-Transceiver MCP2551 dient, wie bereits in Abschnitt 2.5 gezeigt, als Bindeglied zwischen Datenbus und dem internen CAN-Controller des Mikrocontrollers. Über zwei, an den Empfangs- und Sendekanal (RXD und TXD) angeschlossene LEDs, wird eine mögliche Aktivität auf dem CAN-Bus signalisiert. Zur Störentkopplung ist nahe den Versorgungspins ein 0,1μF Kondensator vorgesehen. Des Weiteren ist es möglich, über eine Brücke zwischen die beiden CAN-Bus-Leitungen CANH und CANL einen 120Ω Abschlusswiderstand zu schalten, um Signalreflexionen am Leitungsende des CAN-Buses zu vermeiden.

Zusätzlich zu den bereits erwähnten Anschlüssen für den CAN-Bus, verfügt der MCP2551 über einen sogenannten Slope-Control Input. Dieser ermöglicht die Auswahl von drei verschiedenen Betriebsmodi des CAN-Transceivers. Die für die CAS einzig relevante Option ist dabei der High-Speed-Modus, denn nur dieser erlaubt die maximale Datenübertragungsrate von 1Mbit/s. Dazu wird der Eingangspin mit Masse verbunden. Weitere Details dazu sind in der Anlage D und im Datenblatt zu finden [30].

## 4.2 Leiterplattenlayout

Dieser Abschnitt zeigt nun, wie das Leiterplattenlayout für die CAS aufgebaut wurde und wie dabei, die im Abschnitt 2.2.3 erläuterten EMV-Maßnahmen zur Anwendung kamen.

### 4.2.1 Grundsätzliches zum Layout

Das Layout der CAS-Prototyp-Platine ist in zwei Layer aufgeteilt, dem Top-Layer und dem Bottom-Layer. Der Top-Layer beinhaltet alle wichtigen ICs und SMD-Bauteile (Kondensatoren und Widerstände). Auf dem Bottom-Layer befinden alle mechanischen Anschlüsse (RS232 und Schraubklemmen) sowie Taster, Stiftkontakte und LEDs.

Vor Beginn der eigentlichen Layout-Erstellung waren als erstes die Design-Regeln für das Layout der Prototyp-Platine festzulegen. Dabei wurden wichtige Dimensionierungsparameter, vor allem der minimaler Leiterbahnenabstand und die minimale Leiterbahnenbreite, definiert. Als Orientierung dienten dazu die Gehäuseinformationen des D/A-Wandlers MCP4728 [(29) S. 60], da dieser der kleinste IC mit den geringsten Pin-Abständen ist. Weiterhin waren unter anderem noch die Mindestgröße der Durchkontaktierungen und der Abstand von Leiterbahnen zur Massefläche festzulegen. Diese wurden für den CAS-Prototyp großzügiger gewählt und können für die Serienfertigung noch angepasst werden. Details zu den verwendeten Design-Regeln sind in der Eagle-Projektdatei der CAS auf der CD zu finden.

### 4.2.2 Verbindung von Analog- und Digitalteil

Die Grundlage des Layouts bildet eine Aufteilung des Top-Layers in zwei Masseflächen, Analog- und Digitalmasse, die an einem Punkt zusammengeführt werden (siehe 2.2.3.5), wie in Abbildung 27 zu sehen ist. Auf dem Digitalteil befinden sich die hochfrequenten Signalleiterzüge vom Mikrocontroller und dem CAN-Transceiver. Der analoge Teil beinhaltet die Ein- und Ausgänge der Steuer- und Sensorspannung, sowie den Anschluss für die Spannungsversorgung (siehe 4.1.1). Die Zusammenführung beider Masseflächen erfolgt an den Anschlüssen des D/A- und A/D-Wandlers, da dort analoge und digitale Signale gewandelt werden. Dieser sogenannte Sternpunkt bildet nun gleichzeitig Störquelle und Störsenke (siehe 2.2.2) und hat damit zur Folge, dass keine Störungen mehr von außerhalb eingekoppelt werden können. Um den verfügbaren Raum auf der Platine optimal ausnutzen zu können, wurde unter Berücksichtigung der Masseteilung mit dem analogen Teil auf der rechten Seite des Top-Layers begonnen, anschließend wurde das Layout Schritt für Schritt weiterentwickelt.

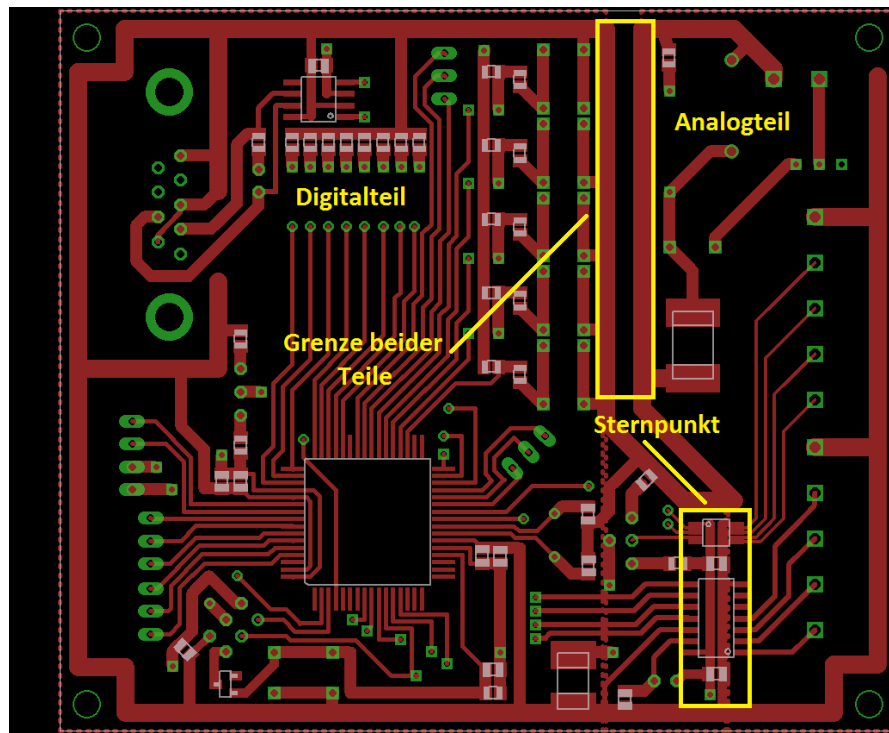


Abbildung 27: Top-Layer mit Analog- und Digitalteil

### 4.2.3 Aufbau des Versorgungsspannungssystems

Das Spannungsversorgungssystem der CAS-Prototyp-Platine ist nach dem Prinzip der Parallelplattenleitung aufgebaut (siehe 2.2.3.4). Dies bedeutet, dass die beiden Spannungsversorgungsleitungen parallel zueinander, die  $V_{CC}$ -Leitung auf dem Bottom-Layer und die Masse-Leitung auf dem Top-Layer, am Leiterplattenrand verlaufen, wobei freie Flächen auf dem Top-Layer ebenfalls Massepotential besitzen. Wie in Abbildung 28 (vgl. Abb. 9, 2.2.3.4) zu erkennen ist, wechselt die  $V_{CC}$ -Leitung wenn nötig den Layer und verläuft koplanar und maximaler Leitungsbreite mit der Masseleitung unterhalb der ICs, wobei der Abstand der beiden Versorgungsleitungen dabei möglichst gering gehalten ist. Die Vorteile dieser Methode sind zum einen, dass der freie Raum unterhalb der ICs optimal ausgenutzt werden kann und zum anderen, dass die Abblockkondensatoren kurze Anschlussleitungen bekommen (siehe 4.2.3) und sich die Strahlungskopplung zur Umgebung, d.h. vor allem zu anderen Schaltungsteilen, deutlich verringert. Beim Mikrocontroller AT90CAN128 konnte dieses Prinzip leider nicht angewendet werden, da die beiden Versorgungsspannungsanschlüsse ungünstig zueinander positioniert sind und der Platz unterhalb des Mikrocontrollers teilweise für andere Signalleitungen benötigt wurde.

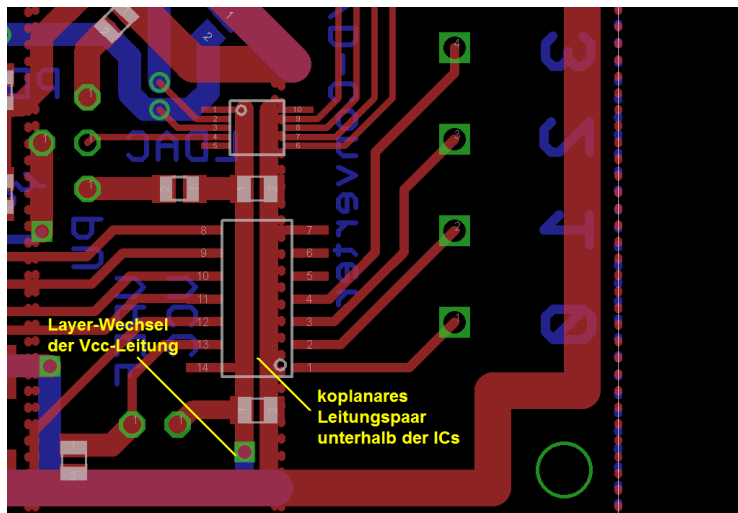


Abbildung 28:  $V_{CC}$ - und Masseleitung unterhalb der ICs

#### 4.2.4 Anschluss der Abblockkondensatoren

Wie im vorhergehenden Abschnitt bereits kurz erwähnt wurde, bekommen die Abblockkondensatoren durch die nah beieinander liegenden Versorgungsleitungen automatisch kurze Anschlüsse, was die EMV-Situation deutlich verbessert (siehe 2.2.3.3). Ein weiterer Vorteil ergibt sich aus der geringen Distanz zwischen Anschlusspins der ICs und der Durchkontaktierung bzw. des Layer-Wechsels der  $V_{CC}$ -Leitung, indem der Kondensator nahe den Versorgungsanschlüssen gleichzeitig auch auftretende Störungen (Signalreflexionen) durch die Durchkontaktierung abblockt, wie in Abbildung 30 (vgl. Abb. 5, 2.2.3.3) zu sehen ist.

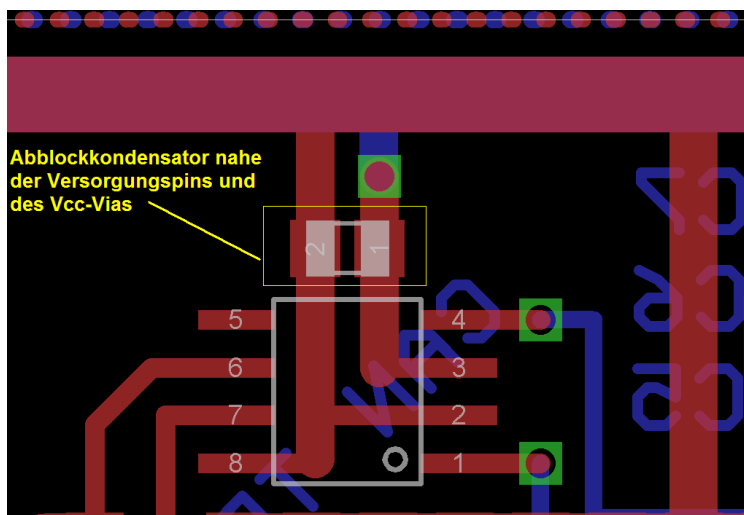


Abbildung 29: Abblockkondensator am CAN-Transceiver



### 4.2.5 Fertiges Layout

Nachdem die Layout-Entwicklung abgeschlossen war, wurde die CAS-Platine geätzt und aufgebaut. Die Abbildungen 30 und 32 zeigen den Top- und Bottom-Layer des fertigen Prototyps. Wie darauf zu erkennen ist, wurden für die gesamte Schaltung bevorzugt SMD-Bauelemente, vor allem Kondensatoren, verwendet, da diese, wie in Abschnitt 2.2.3.2 erläutert, bedrahteten Bauelementen vorzuziehen sind.

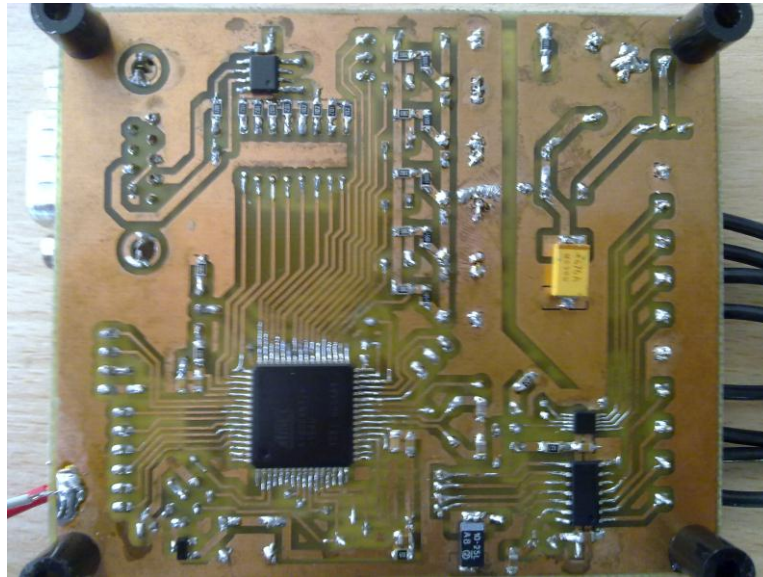


Abbildung 30: Top-Layer des Prototyps

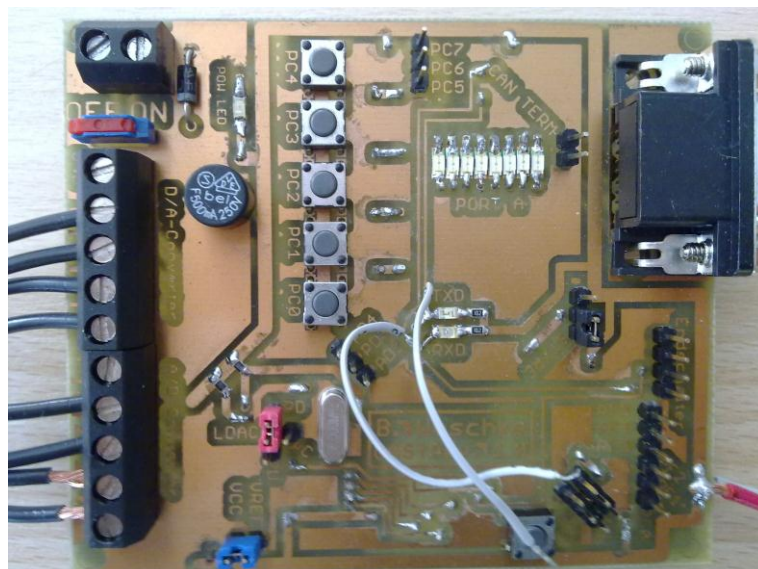


Abbildung 31: Bottom-Layer des Prototyps

## 5 Funktions- und EMV-Test

Nach dem Abschluss des Aufbaus der CAS-Prototyp-Platine wurden anschließend die hardwareseitigen Funktionstest und der EMV-Test durchgeführt. Die Funktionstests beinhalteten die Untersuchung der Ansprechbarkeit und Grundfunktionalität des Mikrocontrollers und der beiden Wandler, sowie die Überprüfung der CAN-Pegel. Im Rahmen des EMV-Tests wurden zwei Untersuchungen durchgeführt, die feldgebundene Störaussendung und die leitungsgebundene Störaussendung.

### 5.1 Funktionstest

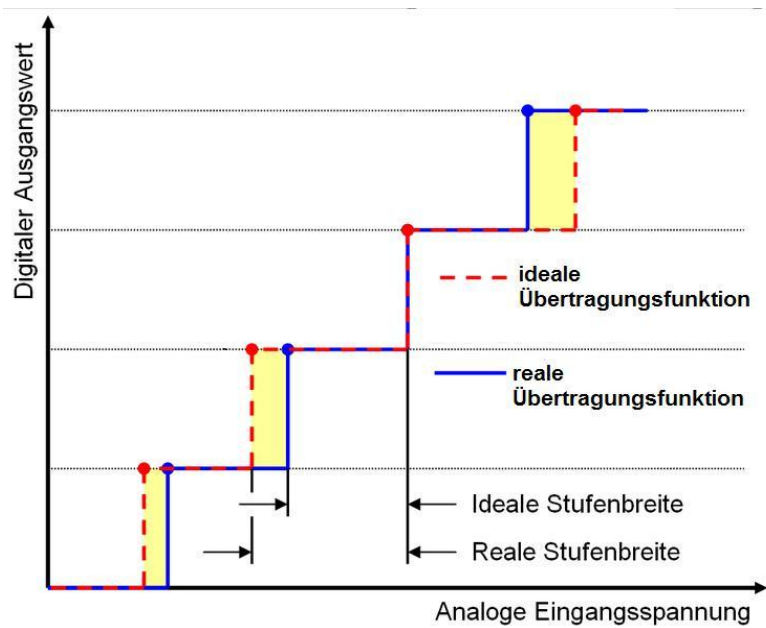
#### 5.1.1 Mikrocontroller, D/A- & A/D-Wandler

Um die Ansprechbarkeit des Mikrocontrollers und die Kommunikation mit den beiden Wandlern über die I<sup>2</sup>C- und SPI-Schnittstelle zu testen, wurde in Zusammenarbeit mit Herrn Michael Kellner [39] ein kleines Testprogramm (siehe CD) entwickelt. Dieses wurde anfangs erst über die SPI- und danach die JTAG-Programmierschnittstelle in den Flash-Speicher des AT90CAN128 geladen, um auch deren Funktionalität zu gewährleisten. Nach der erfolgreichen Übertragung begann der eigentliche Test. Dazu initialisiert das Testprogramm zu Beginn sowohl den I<sup>2</sup>C- als auch den SPI-Bus. Danach sendet der Mikrocontroller dem D/A-Wandler über die I<sup>2</sup>C-Schnittstelle eine Folge von acht verschiedenen digitalen Werten, die in analoge Spannungswerte umgewandelt, anschließend vom A/D-Wandler in digitale Werte zurückgewandelt und über den SPI-Bus zurück an den Mikrocontroller geschickt werden. Das Ergebnis des Tests ist in Tabelle 10 zu sehen.

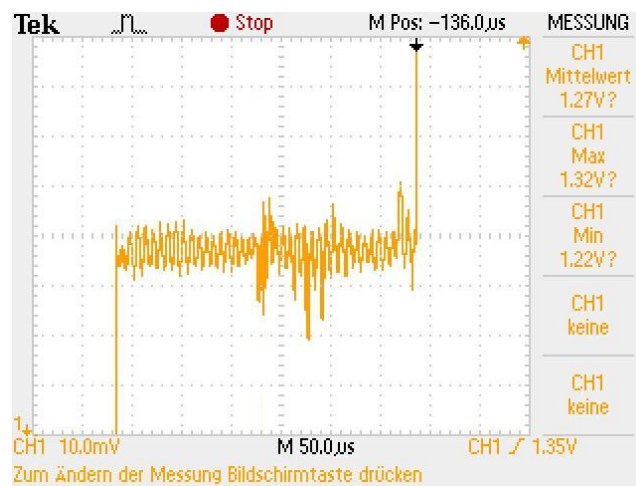
<b>Vorgegebener digitaler Eingangswert</b>	<b>Theoretische analoge Spannung in V</b>	<b>Gemessene analoge Spannung in V</b>	<b>Theoretischer digitaler Ausgangswert</b>	<b>Ausgegebener digitaler Ausgangswert</b>
0	0	0	0	0
512	0,625	0,630	516	519
1024	1,250	1,257	1030	1036
1536	1,875	1,880	1540	1546
2048	2,500	2,503	2050	2054
2560	3,125	3,128	2562	2564
3072	3,750	3,756	3077	3079
3584	4,375	4,377	3586	3589
4096	5,000	4,999	4095	4093

**Tabelle 10: Ergebnis Wandlungstest**

Anhand des Vergleichs der digitalen Ein- und Ausgangswerte ist zu erkennen, dass die Kommunikation zwischen den Wandlern und dem Mikrocontroller fehlerfrei funktioniert. Die leichten Abweichungen sind die Folge von einer geringen differentiellen und integralen Nichtlinearität der beiden Wandler (siehe Datenblätter [28] & [29]), welche durch die unterschiedliche Breite der verschiedenen Spannungsstufen, wie in Abbildung 32 [36] zu erkennen, verursacht werden. Ein weiterer Grund für die geringen Differenzen der Ein- und Ausgangswerte ist das Rauschen des Analogsignals, zu sehen in Abbildung 33.



**Abbildung 32: Nichtlinearität verursacht durch unterschiedliche Stufenbreiten**



**Abbildung 33: Rauschen des Analogsignals**

### 5.1.2 CAN-Bus

Für den hardwareseitigen Funktionstest des CAN-Buses, d.h. es wurde nur die physikalische Schicht betrachtet, wurden mit Hilfe eines USB-CAN-Adapters CAN-Telegramme zur Statusabfrage an die CAS gesendet und anschließend mit Hilfe des Oszilloskops die Bus-Pegel der Antworten überprüft. In Abbildung 34 (vgl. Abb. 22, 2.5) sind sowohl das CANH-Signal (grün), als auch das CANL-Signal (lila) zu sehen. Die Messung mit dem Oszilloskop ergab, dass sich beim Anlegen des dominanten Pegels das CANH-Signal zwischen 3,56V und 3,76V und das CANL-Signal zwischen 1,40V und 1,56V bewegen, im rezessiven Pegelzustand betragen beide Signale ungefähr 2,68V. Somit sind die nach ISO 11898 festgelegten Pegeldefinitionen erfüllt und eine fehlerfreie Übertragung gewährleistet. Darin heißt es, dass die Spannungsdifferenz zwischen CANH und CANL für einen rezessiven Pegel nicht größer als 0,5V und für einen dominanten Pegel mehr als 0,9V betragen muss, wobei der typische Wert für den dominanten Zustand 3,5V für CANH und 1,5V für CANL beträgt.

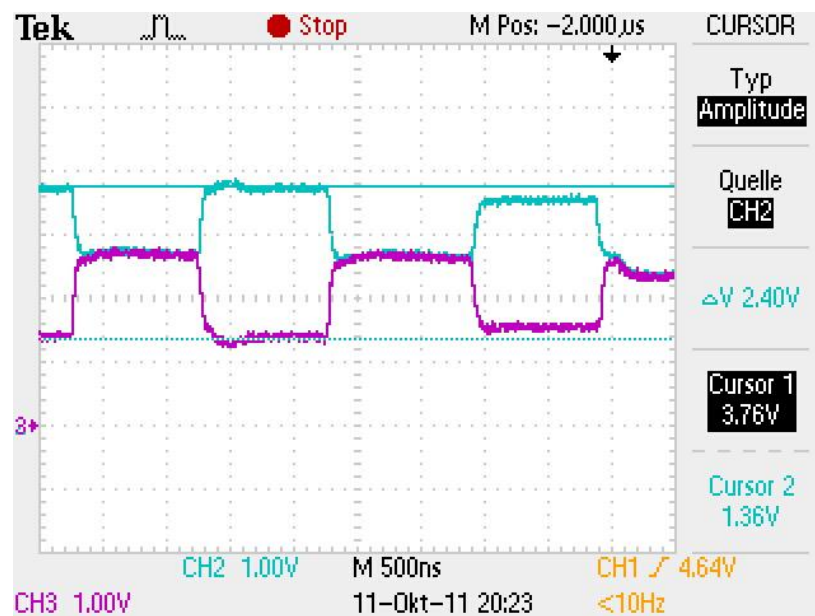


Abbildung 34: Signale CANH (grün) und CANL (lila)

## 5.2 EMV-Test

### 5.2.1 Feldgebundene Störaussendung

#### 5.2.1.1 Test- und Umgebungsbedingungen

Die feldgebundene Störaussendung wurde in einer speziellen EMV-Messkabine (Absorberkabine) durchgeführt. Die CAS-Prototyp-Platine befand sich dabei auf einem Drehtisch, 3 Meter von der Antenne entfernt (siehe Abbildung 35). Der Frequenzbereich des Tests betrug 30MHz bis 1GHz, wobei die Antenne erst vertikal und dann horizontal ausgerichtet wurde. Während des Tests wurde die CAS in x Schritten um 360° gedreht, um die EMV für verschiedene Positionen zu überprüfen. Als Testnorm kam dabei die DIN EN 55022 zu Einsatz, in der die Begrenzung von hochfrequenten Störaussendungen von Einrichtungen der Informationstechnologie festgelegt ist. Um die Messung möglichst realitätsnah zu gestalten und eine ständige Aktivität von Mikrocontroller, D/A- bzw. A/D-Wandler und CAN-Transceiver zu gewährleisten, wurde über einen USB-CAN-Adapter aller 100ms ein Umstimmtelegramm und pro Minute ein Registertelegramm an die CAS gesendet.

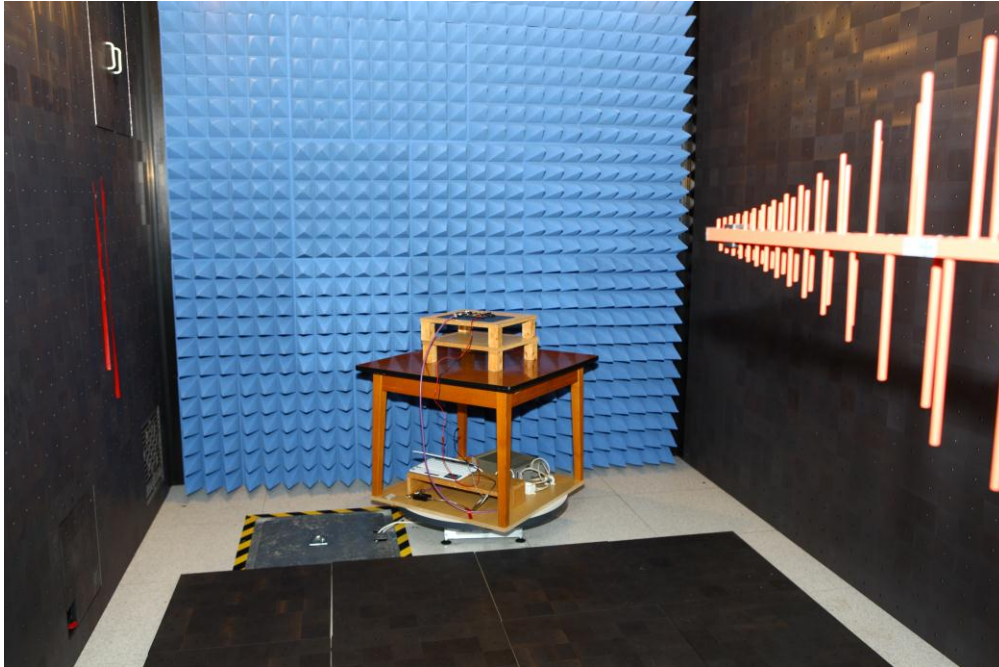


Abbildung 35: Test der feldgebundenen Störaussendung

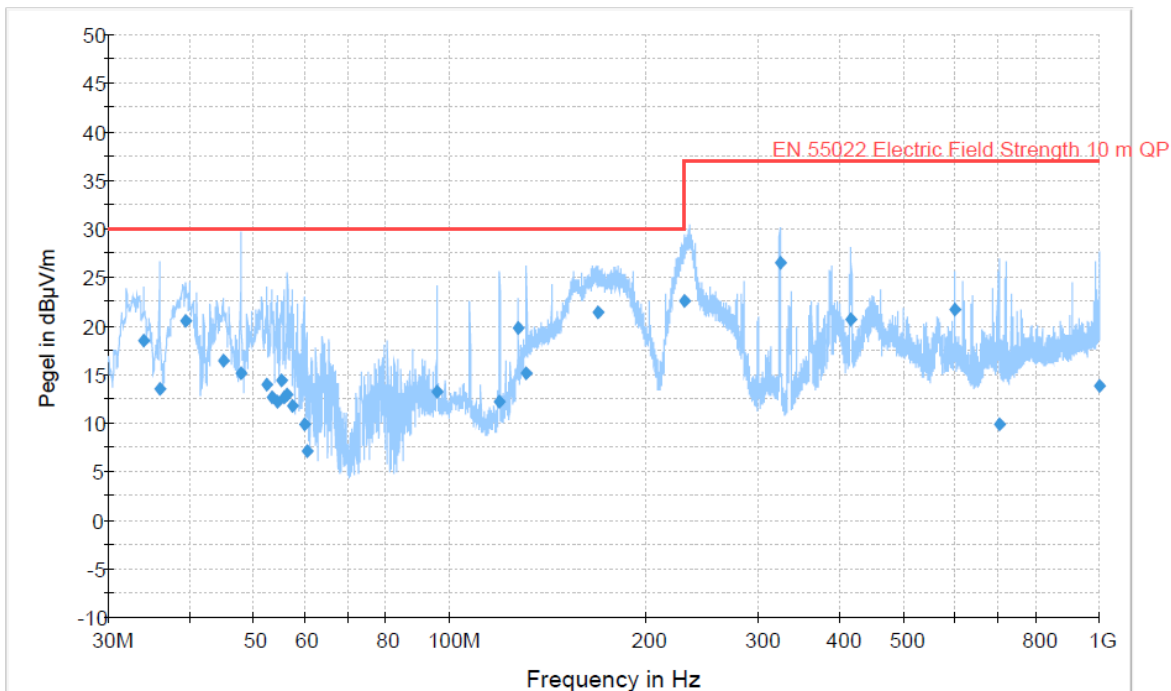
### 5.2.1.2 Ergebnisse

Die Tabelle 11 und die Abbildung 36 [33] zeigen das Ergebnis der feldgebundenen Störaussendung. Bei beiden ist in Abhängigkeit der Frequenz die Feldstärke [E] in dB $\mu$ V/m angegeben, d.h. der gemessene absolute Feldstärkepegel bezieht sich immer auf 1 $\mu$ V/m.

Frequenz (MHz)	QuasiPeak (dB $\mu$ V/m)	Polarisation	Grenzwert (dB $\mu$ V/m)
34,00	18,4	V	30,0
35,95	13,6	V	30,0
39,45	20,5	V	30,0
45,05	16,5	V	30,0
47,95	15,1	V	30,0
52,50	14,0	V	30,0
53,50	12,7	V	30,0
54,55	12,2	V	30,0
55,30	14,4	V	30,0
55,75	12,6	V	30,0
56,50	12,9	V	30,0
57,50	11,7	V	30,0
59,90	9,8	V	30,0
60,50	7,0	V	30,0
95,90	13,3	V	30,0
119,80	12,2	H	30,0
128,05	19,8	H	30,0
131,85	15,1	H	30,0
169,20	21,4	H	30,0
229,80	22,6	V	30,0
323,05	26,5	V	37,0
415,45	20,7	V	37,0
600,05	21,7	V	37,0
702,65	9,8	V	37,0
999,35	13,8	H	37,0

**Tabelle 11: Ergebnis feldgebundene Störaussendung**





**Abbildung 36: Ergebnis feldgebundene Störaussendung**

Die Messwerte Abbildung 36 zeigen nicht die komplette Messung, sondern nur den für eine bestimmte Frequenz und Antennenausrichtung maximal gemessenen Pegel. Deutlich zu sehen ist zum Beispiel der signifikante Spitzenwert bei etwa 48MHz, was der dreifachen Arbeitsfrequenz des Mikrocontrollers entspricht. Allerdings erfolgt die Bewertung des Messergebnisses nicht nach den real gemessenen Spitzenwerten (Peaks) der jeweiligen Messfrequenz, sondern die Maximalwerte werden nach der Häufigkeit ihres Auftretens, dem sogenannten Quasi-Peak, bewertet, wie in Tabelle 11 zu erkennen ist (in Abbildung 36 als blaue Vierecke dargestellt). Das Messergebnis zeigt, dass der durch die EN 550022 festgelegte Grenzwert der zulässigen Störaussendung in keinem Punkt durch einen Quasi-Peak-Messwert der CAS überschritten und Test damit erfolgreich bestanden wurde. Details zu dem Messergebnis sind zusätzlich noch in der Anlage I zu finden.

## 5.2.2 Leitungsgebundene Störaussendung

### 5.2.2.1 Test- und Umgebungsbedingungen

Der Test der leitungsgebundenen Störaussendung wurde für eine Betriebsspannung von 5V und ein Frequenzspektrum von 150kHz bis 30MHz durchgeführt. Dabei wurden die Störspannungen gemessen, die von einer einzelnen CAS (Störquelle) direkt über die Versorgungsleitungen an die Spannungsversorgung (Störsenke) übertragen wurden. Zum Einsatz kam dabei ein sogenannter Netznachbilder, der die CAS mit der nötigen Betriebsspannung versorgt und die gesendeten Störspannungen des  $V_{CC}$ - und GND-Leiters (im



Test L1- und N-Leiter) der CAS an einen Messempfänger weiterleitet. Um die Messung möglichst realitätsnah zu gestalten und eine ständige Aktivität von Mikrocontroller, D/A- bzw. A/D-Wandler und CAN-Transceiver zu gewährleisten, wurde über einen USB-CAN-Adapter aller 100ms ein Umstimmentelegramm und pro Minute ein Registertelegramm an die CAS gesendet. Auch bei dieser Messung kam die bereits in Abschnitt 5.2.1 genannte Testnorm DIN EN 55022 zum Einsatz.

### 5.2.2.2 Ergebnisse

Die Abbildungen 37 und 38 [34] zeigen das Ergebnis der leitungsgebundenen Störaussendung für die L1- und N-Leitung. Wie zu erkennen ist, gibt es pro Abbildung zwei Grenzwertlinien und zwei Messkurven. Der Grund dafür ist, dass der Messempfänger gleichzeitig die Quasi-Peak-Werte (obere Messkurve) und die Durchschnittswerte (untere Messkurve) ermittelt und darstellt. Aus den Messkurven beider Leitungen ist zu entnehmen, dass die festgelegten Störspannungs-Grenzpegel bei keiner Frequenz überschritten und der Test somit erfolgreich bestanden wurde. Details zu den Messergebnissen sind zusätzlich noch in der Anlage J zu finden.

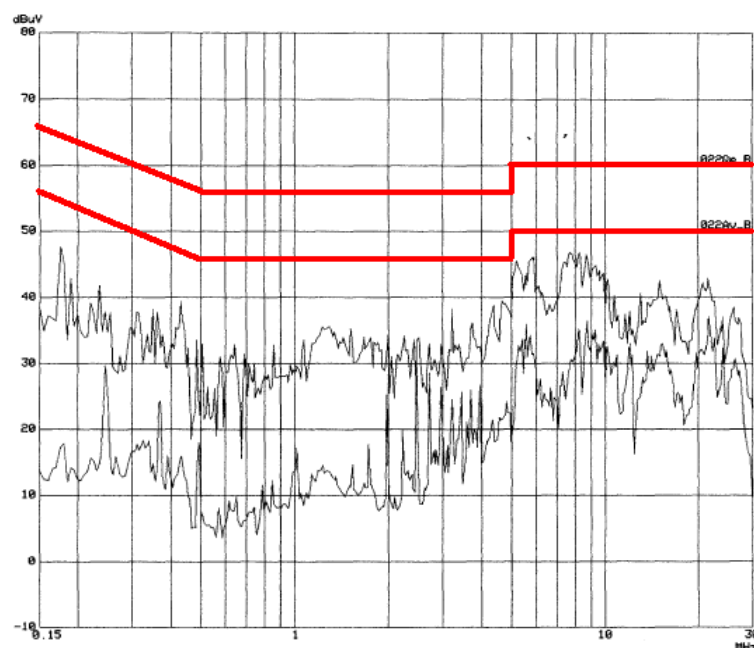
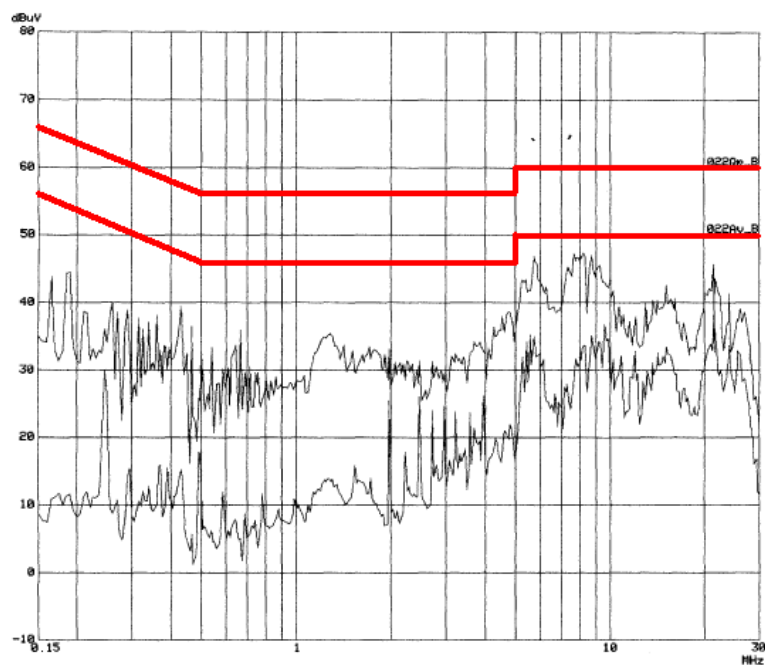


Abbildung 37: Messergebnis der L1-Leitung



**Abbildung 38: Messergebnis der N-Leitung**

## 6 Zusammenfassung

Die vorliegende Diplomarbeit befasst sich mit der Hardware-Prototypentwicklung einer dezentralen Aktorsteuerung, welche über einen CAN-Bus mit einer zentralen Aktorsteuerung kommuniziert und deren Zielfunktionalität die dynamische Umstimmung von je vier angeschlossene Orgelpfeifen während des Spiels ist, um eine umfassend reine Stimmung zu schaffen. Die notwendigen Tonkorrekturen sollen in Echtzeit und anhand der Analyse der gespielten Noten erfolgen.

Im Theorieteil erfolgt zunächst eine Erläuterung von Maßnahmen und Vorgehensweisen, wie die Hardware störungssicher entwickelt und aufgebaut werden kann, um zum einen eine bessere elektromagnetische Verträglichkeit schaltungsintern zu erreichen und zum anderen auch die Beeinflussung auf andere Hardware-Module und elektronische Bauteile der Orgel zu minimieren. Anschließend gibt es einen näheren Einblick in die zeitdiskrete Regelung, da diese später für die Steuerung/Regelung des Umstimmvorgangs verwendet werden wird. Es werden dabei Vor- und Nachteile, wie das Problem der Wandlungszeit, näher beleuchtet und verschiedene Verfahren der Digital/Analog- bzw. Analog-Digital-Wandlung erklärt. Den Abschluss der theoretischen Grundlagen bildet eine Betrachtung der physikalischen Schicht des CAN-Buses, um die Anbindung der dezentralen Aktorsteuerung an den CAN-Bus verständlicher zu machen.

Mit dem neu hinzugewonnenen theoretischen Wissen wird dann das Konzept für die dezentrale Aktorsteuerung erarbeitet. Dafür wird zu Beginn die Funktionsweise des Gesamtsystems der Umstimmsteuerung betrachtet und die Rolle der dezentralen Aktorsteuerung darin spezifiziert. Dabei wird deutlich, welche enorm hohe Zeitanforderung sowohl an die Hardware, als auch an die Software der dezentralen Aktorsteuerung gestellt wird. Vom Eintreffen neuer Umstimminformationen bis zum Umstimmvorgang an einer Orgelpfeife darf höchstens 1ms vergehen. Um dies realisieren zu können, müssen die auszuwählenden Hardware-Komponenten des digitalen Regelkreises bzw. der dezentralen Aktorsteuerung mit einer ausreichend hohen Überabtastung arbeiten. Des Weiteren wird für Hardware eine ausreichend hohe und lange Verfügbarkeit vorausgesetzt. Mit den genannten Anforderungen wird anschließend eine Grundstruktur für die dezentrale Aktorsteuerung festgelegt und die Hardware-Komponenten ausgewählt. Danach sieht das Konzept eine Platine vor, die einen CAN-Transceiver, einen Mikrocontroller mit integriertem CAN-Controller, sowie einen externen D/A- bzw. A/D-Wandler beinhaltet und jeweils für die Ansteuerung von vier Orgelpfeifen verantwortlich ist.

Unter Berücksichtigung des Konzepts und Einbeziehung der im Theorieteil erläuterten EMV-Maßnahmen werden dann die Schaltung und das Layout der Prototyp-Platine der dezentralen Aktorsteuerung entworfen. Im Schaltungsentwurf wird dabei einzeln auf verschiedene Schaltungsteile näher eingegangen und getroffene Entscheidungen erklärt. Mit der fertigen Schaltung entsteht im Anschluss daran Schritt für Schritt das Leiterplatten-Layout. Auch hier werden ausgewählte Teile noch einmal näher betrachtet und angewendete Vorgehensweisen zum störungssicheren Schaltungsaufbau veranschaulicht.

Der fertig entwickelte und aufgebaute Prototyp wurde dann abschließend einer Anzahl von Funktionstest und EMV-Untersuchungen unterzogen. Die Ergebnisse dieser Tests sind durchgängig positiv und zeigen, dass das erarbeitete Konzept der dezentralen Aktorsteuerung und die getroffenen Maßnahmen gegen interne und externe Störeinflüsse ein voller Erfolg waren und somit eine sehr gute Basis für die weitere Projektfortführung gegeben ist.

## 7 Ausblick zur Serienproduktion

Mit dem Blick auf die Testergebnisse und eine mögliche später Serienfertigung ist festzuhalten, dass am Grundaufbau der dezentralen Aktorsteuerung keine größeren Änderungen mehr notwendig sind. Um zusätzlich Leiterplattenfläche und somit auch Produktionskosten einzusparen, können für das Serienprodukt nicht mehr benötigte Taster und LEDs, sowie der externe Reset entfernt werden. Außerdem ist zum Schutz gegen äußere Umwelteinflüsse und zur zusätzlichen Verbesserung der EMV ein Gehäuse für die dezentrale Aktorsteuerung ratsam (siehe 2.2.3.6).

Des Weiteren besteht bei ausreichend hoher Verfügbarkeit nach jetzigem Stand<sup>3</sup> die Möglichkeit, den verwendeten Mikrocontroller AT90CAN128 durch den kostengünstigeren AT90CAN64 (siehe 3.4.1.1) zu ersetzen, da die entwickelte Regler-Software, nach Auskunft von Herrn Michael Kellner [39], momentan nur folgendes Speichervolumen benötigt:

Flash:	16646Byte (12,7%)
EEPROM:	1446Byte (35,3%)
SRAM:	1962Byte (47,9%)

Zusätzlich zu den eben genannten Änderungsmöglichkeiten sind aber auch noch weitere Tests mit dem Prototyp notwendig, bevor eine mögliche Serienfertigung beginnen kann. Vor allem die Zeitspanne vom Eintreffen neuer Umstimminformationen an der dezentralen Aktorsteuerung bis zur Umstimmung der jeweiligen Orgelpfeife ist in einem Testaufbau zu überprüfen und mit der gegebenen Anforderung (<1ms) zu vergleichen.

---

<sup>3</sup> 07.10.2011

# Literaturverzeichnis

- [1] „Pfeifenorgel mit dynamischer Umstimmung“: Projektbeschreibung, HS Mittweida, Labor Embedded Control, 28.10.2009
  
- [2] Franz, Joachim: EMV – Störungssicherer Aufbau elektronischer Schaltungen, Wiesbaden, Vieweg+Teubner, 2011
  
- [3] Görne, Thomas: Tontechnik, München, Hanser Fachbuchverlag, 2. Aufl., 2008
  
- [4] Händschke, Jürgen: Leiterplattendesign, Bad Saulgau, Eugen G. Leuze Verlag, 2006
  
- [5] Sieber, Sven: Produktentwicklung und Produktrealisierung. URL: [https://download.htwm.de/intranet/lehre/EIT/Schulz\\_Ch/Blockwoche\\_Planung/Blockwochen\\_2011\\_SpezKapitelET/agilion\\_Sven\\_Sieber](https://download.htwm.de/intranet/lehre/EIT/Schulz_Ch/Blockwoche_Planung/Blockwochen_2011_SpezKapitelET/agilion_Sven_Sieber), 23.03.2011
  
- [6] Parthier, Rainer: EMV Einführung, HS Mittweida, Fakultät EIT. URL: <https://download.hs-mittweida.de/intranet/lehre/EIT/Parthier/Lehrunterlagen/EMV/>, 17.03.2011
  
- [7] Wikipedia: Impedanz. URL: <http://de.wikipedia.org/wiki/Impedanz>, 14.08.2011
  
- [8] Wikipedia: Blindwiderstand. URL: <http://de.wikipedia.org/wiki/Blindwiderstand>, 04.08.2011

- [9] van Rooijen, Willem [w.v.rooijen@web.de](mailto:w.v.rooijen@web.de): Einführung in das Gebiet der elektromagnetischen Verträglichkeit (EMV). URL: <http://www.rooijen.de/studium/emv/emv.htm>, 25.08.2011
- [10] Samal, Erwin: Grundriss der praktischen Regelungstechnik, München, Oldenbourg Verlag, 17. Aufl., 1991
- [11] RN-Wissen: Regelungstechnik. URL: <http://rn-wissen.de/index.php/Regelungstechnik>, 25.08.2010
- [12] Becker, Wilhelm; Samal, Erwin: Grundriss der praktischen Regelungstechnik, München, Oldenbourg Verlag, 21. Aufl., 2004
- [13] Schulz, Christian: Vorlesungsunterlagen „Grundlagen der Regelungstechnik“, HS Mittweida, Fakultät EIT, 19.03.2009
- [14] Norm DIN 19226 Teil 1. Regelungstechnik und Steuerungstechnik; Regelung und Steuerung
- [15] Gausch, Relix; Hofer, Anton; Schlacher, Kurt: Digitale Regelkreise, München, Oldenbourg Verlag, 1991
- [16] Virtual Institute of Applied Science: Sukzessive Approximation. URL: [http://www.vias.org/mikroelektronik/adc\\_succapprox.html](http://www.vias.org/mikroelektronik/adc_succapprox.html), 05.12.2010
- [17] microcontroller.net: DA-Wandler. URL: <http://www.mikrocontroller.net/articles/DA-Wandler>, 01.09.2011
- [18] Wikipedia: R2R-Netzwerk. URL: <http://de.wikipedia.org/wiki/R2R-Netzwerk>, 03.06.2011

- [19] Wikipedia: Digital-Analog-Umsetzer. URL: <http://de.wikipedia.org/wiki/Digital-Analog-Umsetzer>, 03.08.2011
- [20] Wikipedia: Digitale Auflösung. URL: [http://de.wikipedia.org/wiki/Digitale\\_Auflösung](http://de.wikipedia.org/wiki/Digitale_Auflösung), 01.08.2011
- [21] kfztech.de: CAN-Datenübertragung. URL: <http://www.kfztech.de/kfztechnik/elo/can/datenuebertragung.htm>, 10.07.2011
- [22] Schulbuchzentrum: CAN-Datenbus. URL: <http://files.schulbuchzentrum-online.de/onlineanhaenge/files/978-3-14-231932-2-2-l.pdf>, 02.09.2011
- [23] MikroElektronika: CAN Library. URL: [http://www.mikroe.com/download/eng/documents/compilers/mikroc/pro/pic/help/can\\_library.htm](http://www.mikroe.com/download/eng/documents/compilers/mikroc/pro/pic/help/can_library.htm), 02.09.2011
- [24] Wikipedia: Controller Area Network. URL: [http://de.wikipedia.org/wiki/Controller\\_Area\\_Network](http://de.wikipedia.org/wiki/Controller_Area_Network), 30.07.2011
- [25] Färber, Jan: Systemkonzept – CAN-Aktor, HS Mittweida, Labor Embedded Control, 28.09.2010
- [26] Färber, Jan: Spezifikation der Kommunikation über den CAN-Bus, HS Mittweida, Labor Embedded Control, 14.07.2011
- [27] Atmel: AT90CAN32/64/128, Rev. 7679H-CAN-08/08, 06.05.2011
- [28] Microchip: MCP3204/8 Datasheet, Rev. D (Januar 2007), 11.05.2011
- [29] Microchip: MCP4728 Datasheet, Rev. E (Oktober 2010), 11.05.2011



- [30] Microchip: MCP2551 Datasheet, Rev. F (Juli 2010), 04.07.2011
  
- [31] Färber, Jan: Pfeifenorgel mit dynamischer Umstimmung, Vierte Untersuchung zum Linearen-Hall-Sensor, Rev. 1, HS Mittweida, Labor Embedded Control, 03.05.2011
  
- [32] Meier, Siegfried [smeier@siegfriedmeier.de](mailto:smeier@siegfriedmeier.de): CAN – Kleine Einführung in die Hardwareschnittstelle. URL: <http://siegfriedmeier.de/Download/Files/CAN.pdf>, 29.09.2011
  
- [33] Mothes, Mirko; Woschke, Benjamin; Kellner, Michael: Testprotokoll der feldgebundenen Störaussendung der CAS, HS Mittweida, 22.09.2011
  
- [34] Mothes, Mirko; Woschke, Benjamin; Kellner, Michael: Testprotokoll der leitungsgebundenen Störaussendung der CAS, HS Mittweida, 22.09.2011
  
- [35] Schulz, Christan: CAN-Kurs, HS Mittweida, Fakultät EIT. URL: [https://download.hs-mittweida.de/intranet/R:/EIT/Schulz\\_Ch/CAN-Kurs/canphl99.pdf](https://download.hs-mittweida.de/intranet/R:/EIT/Schulz_Ch/CAN-Kurs/canphl99.pdf), 06.10.2011
  
- [36] Wikipedia: Differenzielle Nichtlinearität. URL: [http://de.wikipedia.org/wiki/Differenzielle\\_Nichtlinearität](http://de.wikipedia.org/wiki/Differenzielle_Nichtlinearität), 06.09.2011
  
- [37] Mohrlök, Werner: Hermode Tuning Funktion. URL: [www.hermode.com](http://www.hermode.com), 11.10.2011
  
- [38] Färber, Jan: Projekteinweisung „Pfeifenorgel mit dynamischer Umstimmung“, HS Mittweida, Labor Embedded Control, 26.04.2011
  
- [39] Kellner, Michael: Prototypentwicklung einer CAN-Bus basierten Client-Aktorsteuerung zur dynamischen Umstimmung von Orgelpfeifen Teil B – Software, HS Mittweida, Labor Embedded Control, 2011



# Anlagenverzeichnis

<b>Anlage A</b> - Datenblattauszug Mikrocontroller .....	A-2
<b>Anlage B</b> - Datenblattauszug A/D-Wandler .....	A-5
<b>Anlage C</b> - Datenblattauszug D/A-Wandler .....	A-9
<b>Anlage D</b> - Datenblattauszug CAN-Transceiver .....	A-13
<b>Anlage E</b> - Pin-Belegung AT90CAN128 .....	A-16
<b>Anlage F</b> - Kostenübersicht CAS-Prototyp-Platine .....	A-17
<b>Anlage G</b> - Schaltplan CAS-Prototyp-Platine .....	A-18
<b>Anlage H</b> - JTAG-Anschluss CAS-Prototyp-Platine .....	A-19
<b>Anlage I</b> - Protokoll feldgebundene Störaussendung .....	A-20
<b>Anlage J</b> - Protokoll leitungsgebundene Störaussendung .....	A-22

# Anlage A – Datenblattauszug Mikrocontroller

## Features

- High-performance, Low-power AVR® 8-bit Microcontroller
- Advanced RISC Architecture
  - 133 Powerful Instructions – Most Single Clock Cycle Execution
  - 32 x 8 General Purpose Working Registers + Peripheral Control Registers
  - Fully Static Operation
  - Up to 16 MIPS Throughput at 16 MHz
  - On-chip 2-cycle Multiplier
- Non volatile Program and Data Memories
  - 32K/64K/128K Bytes of In-System Reprogrammable Flash (AT90CAN32/64/128)
    - Endurance: 10,000 Write/Erase Cycles
  - Optional Boot Code Section with Independent Lock Bits
    - Selectable Boot Size: 1K Bytes, 2K Bytes, 4K Bytes or 8K Bytes
    - In-System Programming by On-Chip Boot Program (CAN, UART, ...)
    - True Read-While-Write Operation
  - 1K/2K/4K Bytes EEPROM (Endurance: 100,000 Write/Erase Cycles) (AT90CAN32/64/128)
  - 2K/4K/4K Bytes Internal SRAM (AT90CAN32/64/128)
  - Up to 64K Bytes Optional External Memory Space
  - Programming Lock for Software Security
- JTAG (IEEE std. 1149.1 Compliant) Interface
  - Boundary-scan Capabilities According to the JTAG Standard
  - Programming Flash (Hardware ISP), EEPROM, Lock & Fuse Bits
  - Extensive On-chip Debug Support
- CAN Controller 2.0A & 2.0B - ISO 16845 Certified <sup>(1)</sup>
  - 15 Full Message Objects with Separate Identifier Tags and Masks
  - Transmit, Receive, Automatic Reply and Frame Buffer Receive Modes
  - 1Mbits/s Maximum Transfer Rate at 8 MHz
  - Time stamping, TTC & Listening Mode (Spying or Autobaud)
- Peripheral Features
  - Programmable Watchdog Timer with On-chip Oscillator
  - 8-bit Synchronous Timer/Counter-0
    - 10-bit Prescaler
    - External Event Counter
    - Output Compare or 8-bit PWM Output
  - 8-bit Asynchronous Timer/Counter-2
    - 10-bit Prescaler
    - External Event Counter
    - Output Compare or 8-Bit PWM Output
    - 32KHz Oscillator for RTC Operation
  - Dual 16-bit Synchronous Timer/Counter-1 & 3
    - 10-bit Prescaler
    - Input Capture with Noise Canceler
    - External Event Counter
    - 3-Output Compare or 16-Bit PWM Output
    - Output Compare Modulation
  - 8-channel, 10-bit SAR ADC
    - 8 Single-ended Channels
    - 7 Differential Channels
    - 2 Differential Channels With Programmable Gain at 1x, 10x, or 200x
  - On-chip Analog Comparator
  - Byte-oriented Two-wire Serial Interface
  - Dual Programmable Serial USART
  - Master/Slave SPI Serial Interface
    - Programming Flash (Hardware ISP)
- Special Microcontroller Features
  - Power-on Reset and Programmable Brown-out Detection
  - Internal Calibrated RC Oscillator
  - 8 External Interrupt Sources
  - 5 Sleep Modes: Idle, ADC Noise Reduction, Power-save, Power-down & Standby
  - Software Selectable Clock Frequency
  - Global Pull-up Disable
- I/O and Packages
  - 53 Programmable I/O Lines
  - 64-lead TQFP and 64-lead QFN
- Operating Voltages: 2.7 - 5.5V
- Operating temperature: Industrial (-40°C to +85°C)
- Maximum Frequency: 8 MHz at 2.7V, 16 MHz at 4.5V

Note: 1. Details on section 19.4.3 on page 242.



**8-bit AVR®**  
**Microcontroller**  
**with**  
**32K/64K/128K**  
**Bytes of**  
**ISP Flash**  
**and**  
**CAN Controller**

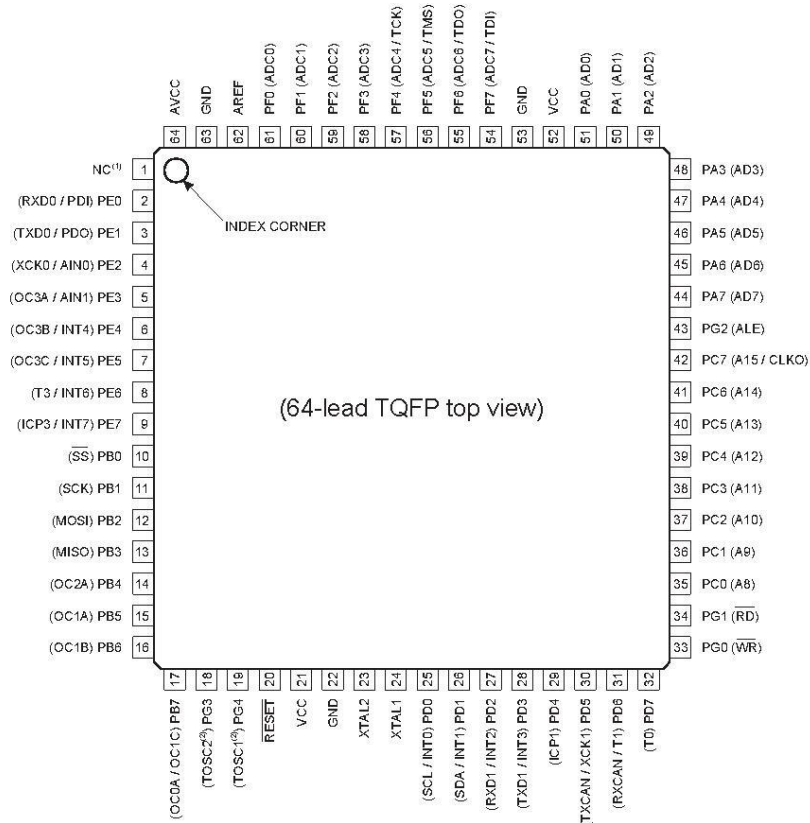
**AT90CAN32**  
**AT90CAN64**  
**AT90CAN128**

Rev. 7879H-CAN-08/08



## 1.5 Pin Configurations

Figure 1-2. Pinout AT90CAN32/64/128 - TQFP

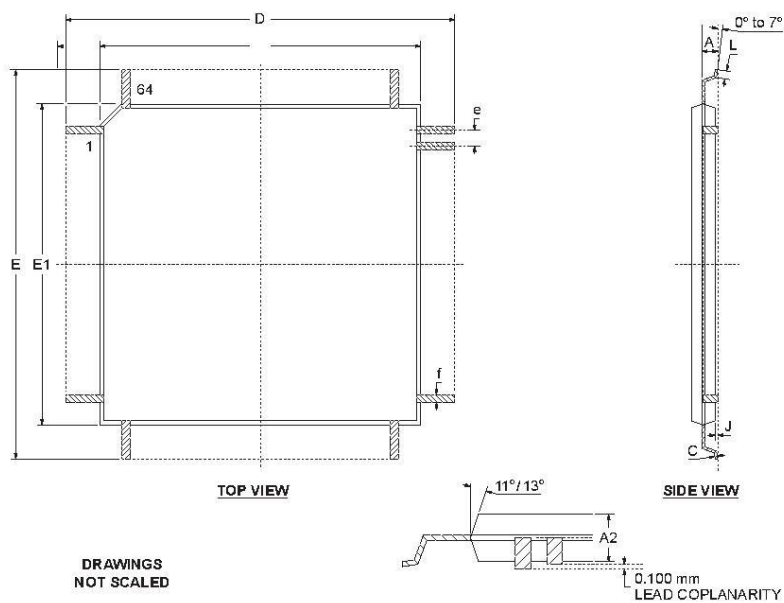


<sup>(1)</sup> NC = Do not connect (May be used in future devices)

<sup>(2)</sup> Timer2 Oscillator

32.1 TQFP64

64 PINS THIN QUAD FLAT PACK



	MM		INCH	
	Min	Max	Min	Max
A	----	1.20	----	0.047
A2	0.95	1.05	0.037	0.041
C	0.09	0.20	0.004	0.008
D	16.00 BSC		0.630 BSC	
D1	14.00 BSC		0.551 BSC	
E	16.00 BSC		0.630 BSC	
E1	14.00 BSC		0.551 BSC	
J	0.05	0.15	0.002	0.006
L	0.45	0.75	0.018	0.030
e	0.80 BSC		0.0315 BSC	
f	0.30	0.45	0.012	0.018

# Anlage B – Datenblattauszug A/D-Wandler



## MCP3204/3208

### 2.7V 4-Channel/8-Channel 12-Bit A/D Converters with SPI™ Serial Interface

#### Features

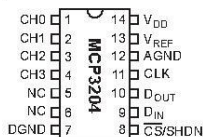
- 12-bit resolution
- $\pm 1$  LSB max DNL
- $\pm 1$  LSB max INL (MCP3204/3208-B)
- $\pm 2$  LSB max INL (MCP3204/3208-C)
- 4 (MCP3204) or 8 (MCP3208) input channels
- Analog inputs programmable as single-ended or pseudo-differential pairs
- On-chip sample and hold
- SPI serial interface (modes 0,0 and 1,1)
- Single supply operation: 2.7V - 5.5V
- 100 kps max. sampling rate at  $V_{DD} = 5V$
- 50 kps max. sampling rate at  $V_{DD} = 2.7V$
- Low power CMOS technology:
  - 500 nA typical standby current, 2  $\mu A$  max.
  - 400  $\mu A$  max. active current at 5V
- Industrial temp range: -40°C to +85°C
- Available in PDIP, SOIC and TSSOP packages

#### Applications

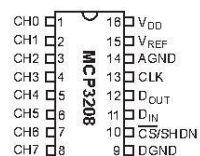
- Sensor Interface
- Process Control
- Data Acquisition
- Battery Operated Systems

#### Package Types

##### PDIP, SOIC, TSSOP



##### PDIP, SOIC

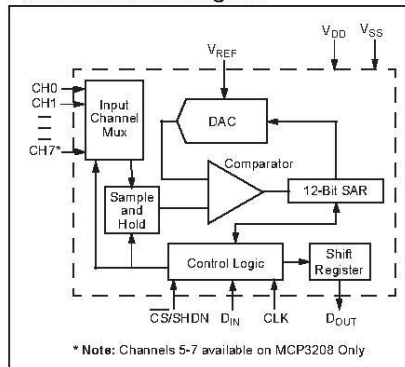


#### Description

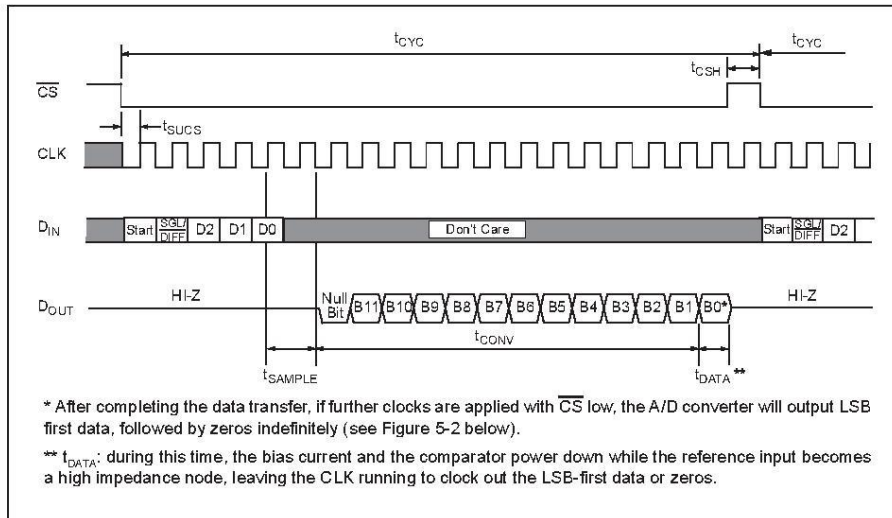
The Microchip Technology Inc. MCP3204/3208 devices are successive approximation 12-bit Analog-to-Digital (A/D) Converters with on-board sample and hold circuitry. The MCP3204 is programmable to provide two pseudo-differential input pairs or four single-ended inputs. The MCP3208 is programmable to provide four pseudo-differential input pairs or eight single-ended inputs. Differential Nonlinearity (DNL) is specified at  $\pm 1$  LSB, while Integral Nonlinearity (INL) is offered in  $\pm 1$  LSB (MCP3204/3208-B) and  $\pm 2$  LSB (MCP3204/3208-C) versions.

Communication with the devices is accomplished using a simple serial interface compatible with the SPI protocol. The devices are capable of conversion rates of up to 100 kps. The MCP3204/3208 devices operate over a broad voltage range (2.7V - 5.5V). Low current design permits operation with typical standby and active currents of only 500 nA and 320  $\mu A$ , respectively. The MCP3204 is offered in 14-pin PDIP, 150 mil SOIC and TSSOP packages. The MCP3208 is offered in 16-pin PDIP and SOIC packages.

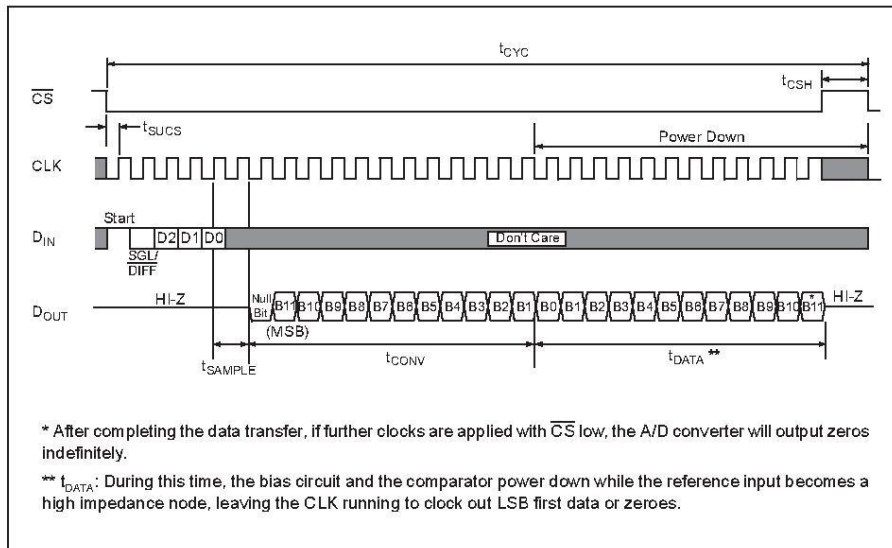
#### Functional Block Diagram



## MCP3204/3208



**FIGURE 5-1:** Communication with the MCP3204 or MCP3208.



**FIGURE 5-2:** Communication with MCP3204 or MCP3208 in LSB First Format.



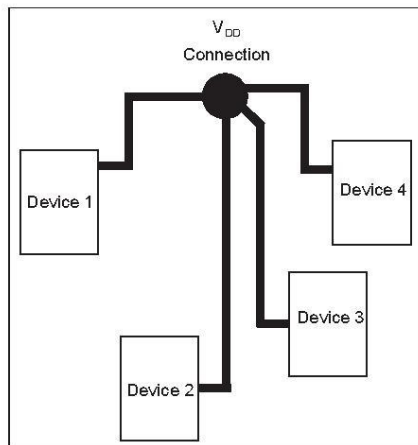
# MCP3204/3208

## 6.4 Layout Considerations

When laying out a printed circuit board for use with analog components, care should be taken to reduce noise wherever possible. A bypass capacitor should always be used with this device, placed as close as possible to the device pin. A bypass capacitor value of 1  $\mu\text{F}$  is recommended.

Digital and analog traces should be separated as much as possible on the board, with no traces running underneath the device or the bypass capacitor. Extra precautions should be taken to keep traces with high frequency signals (such as clock lines) as far as possible from analog traces.

Use of an analog ground plane is recommended in order to keep the ground potential the same for all devices on the board. Providing  $V_{\text{DD}}$  connections to devices in a "star" configuration can also reduce noise by eliminating return current paths and associated errors (see Figure 6-4). For more information on layout tips when using A/D converters, refer to AN688, "Layout Tips for 12-Bit A/D converter Applications".

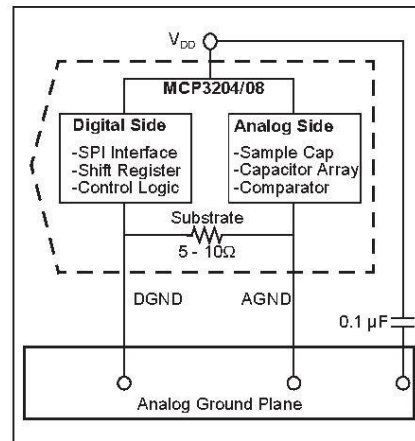


**FIGURE 6-4:**  $V_{\text{DD}}$  traces arranged in a 'Star' configuration in order to reduce errors caused by current return paths.

## 6.5 Utilizing the Digital and Analog Ground Pins

The MCP3204/3208 devices provide both digital and analog ground connections to provide another means of noise reduction. As shown in Figure 6-5, the analog and digital circuitry is separated internal to the device. This reduces noise from the digital portion of the device being coupled into the analog portion of the device. The two grounds are connected internally through the substrate, which has a resistance of 5-10  $\Omega$ .

If no ground plane is utilized, then both grounds must be connected to  $V_{\text{SS}}$  on the board. If a ground plane is available, both digital and analog ground pins should be connected to the analog ground plane. If both an analog and a digital ground plane are available, both the digital and the analog ground pins should be connected to the analog ground plane. Following these steps will reduce the amount of digital noise from the rest of the board being coupled into the A/D converter.

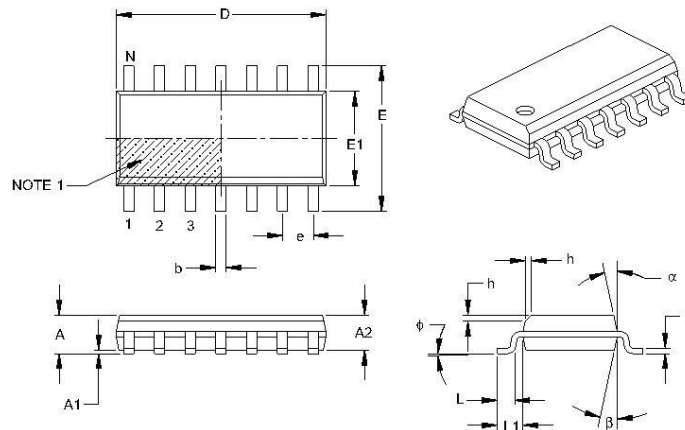


**FIGURE 6-5:** Separation of Analog and Digital Ground Pins.

# MCP3204/3208

## 14-Lead Plastic Small Outline (SL) – Narrow, 3.90 mm Body [SOIC]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	14		
Pitch	e	1.27 BSC		
Overall Height	A	—	—	1.75
Molded Package Thickness	A2	1.25	—	—
Standoff §	A1	0.10	—	0.25
Overall Width	E	6.00 BSC		
Molded Package Width	E1	3.90 BSC		
Overall Length	D	8.65 BSC		
Chamfer (optional)	h	0.25	—	0.50
Foot Length	L	0.40	—	1.27
Footprint	L1	1.04 REF		
Foot Angle	φ	0°	—	8°
Lead Thickness	c	0.17	—	0.25
Lead Width	b	0.31	—	0.51
Mold Draft Angle Top	α	5°	—	15°
Mold Draft Angle Bottom	β	5°	—	15°

### Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.  
BSC: Basic Dimension. Theoretically exact value shown without tolerances.  
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-065B

# Anlage C – Datenblattauszug D/A-Wandler



## MCP4728

### 12-Bit, Quad Digital-to-Analog Converter with EEPROM Memory

#### Features

- 12-Bit Voltage Output DAC with Four Buffered Outputs
- On-Board Nonvolatile Memory (EEPROM) for DAC Codes and I<sup>2</sup>C™ Address Bits
- Internal or External Voltage Reference Selection
- Output Voltage Range:
  - Using Internal V<sub>REF</sub> (2.048V):  
0.000V to 2.048V with Gain Setting = 1  
0.000V to 4.096V with Gain Setting = 2
  - Using External V<sub>REF</sub> (V<sub>DD</sub>):  
0.000V to V<sub>DD</sub>
- ±0.2 Least Significant Bit (LSB) Differential Nonlinearity (DNL) (typical)
- Fast Settling Time: 6 µs (typical)
- Normal or Power-Down Mode
- Low Power Consumption
- Single-Supply Operation: 2.7V to 5.5V
- I<sup>2</sup>C Interface:
  - Address bits: User Programmable to EEPROM
  - Standard (100 kbps), Fast (400 kbps) and High Speed (HS) Mode (3.4 Mbps)
- 10-Lead MSOP Package
- Extended Temperature Range: -40°C to +125°C

#### Applications

- Set Point or Offset Adjustment
- Sensor Calibration
- Closed-Loop Servo Control
- Low Power Portable Instrumentation
- PC Peripherals
- Programmable Voltage and Current Source
- Industrial Process Control
- Instrumentation
- Bias Voltage Adjustment for Power Amplifiers

#### Description

The MCP4728 device is a quad, 12-bit voltage output Digital-to-Analog Converter (DAC) with nonvolatile memory (EEPROM). Its on-board precision output amplifier allows it to achieve rail-to-rail analog output swing.

The DAC input codes, device configuration bits, and I<sup>2</sup>C address bits are programmable to the nonvolatile memory (EEPROM) by using I<sup>2</sup>C serial interface commands. The nonvolatile memory feature enables the DAC device to hold the DAC input codes during power-off time, allowing the DAC outputs to be available immediately after power-up with the saved settings. This feature is very useful when the DAC device is used as a supporting device for other devices in the application's network.

The MCP4728 device has a high precision internal voltage reference (V<sub>REF</sub> = 2.048V). The user can select the internal reference or external reference (V<sub>DD</sub>) for each channel individually.

Each channel can be operated in Normal mode or Power-Down mode individually by setting the configuration register bits. In Power-Down mode, most of the internal circuits in the powered down channel are turned off for power savings, and the output amplifier can be configured to present a known low, medium, or high resistance output load.

The MCP4728 device includes a Power-on Reset (POR) circuit to ensure reliable power-up and an on-board charge pump for the EEPROM programming voltage.

The MCP4728 has a two-wire I<sup>2</sup>C compatible serial interface for standard (100 kHz), fast (400 kHz), or high speed (3.4 MHz) mode.

The MCP4728 DAC is an ideal device for applications requiring design simplicity with high precision, and for applications requiring the DAC device settings to be saved during power-off time.

The MCP4728 device is available in a 10-lead MSOP package and operates from a single 2.7V to 5.5V supply voltage.

# MCP4728

## 3.3 Serial Data Pin (SDA)

SDA is the serial data pin of the I<sup>2</sup>C interface. The SDA pin is used to write or read the DAC register and EEPROM data. Except for Start and Stop conditions, the data on the SDA pin must be stable during the high duration of the clock pulse. The High or Low state of the SDA pin can only change when the clock signal on the SCL pin is Low.

The SDA pin is an open-drain N-channel driver. Therefore, it needs a pull-up resistor from the V<sub>DD</sub> line to the SDA pin.

Refer to [Section 5.0 "I<sup>2</sup>C Serial Interface Communications"](#) for more details on the I<sup>2</sup>C Serial Interface communication.

## 3.4 LDAC Pin

This pin can be driven by an external control device such as an MCU I/O pin. This pin is used to:

- transfer the contents of the input registers to their corresponding DAC output registers and
- select a device of interest when reading or writing I<sup>2</sup>C address bits.

For more details on reading and writing the I<sup>2</sup>C address bits, see [Section 5.4.4 "General Call Read Address Bits"](#) and [Section 5.6.8 "Write Command: Write I2C Address bits \(C2=0, C1=1, C0=1\)"](#).

When the logic status of the LDAC pin changes from "High" to "Low", the contents of all input registers (Channels A – D) are transferred to their corresponding output registers, and all analog voltage outputs are updated simultaneously.

If this pin is permanently tied to "Low", the content of the input register is transferred to its output register (V<sub>OUT</sub>) immediately at the last input data byte's acknowledge pulse.

The user can also use the UDAC bit instead. However, the UDAC bit updates a selected channel only. See [Section 4.8 "Output Voltage Update"](#) for more information on the LDAC pin and UDAC bit functions.

## 3.5 RDY/BSY Status Indicator Pin

This pin is a status indicator of EEPROM programming activity. This pin is "High" when the EEPROM has no programming activity, and "Low" when the EEPROM is in programming mode. It goes "High" when the EEPROM program is completed.

The RDY/BSY pin is an open-drain N-channel driver. Therefore, it needs a pull-up resistor (about 100 kΩ) from the V<sub>DD</sub> line to the RDY/BSY pin. Let this pin float if it is not used.

## 3.6 Analog Output Voltage Pins (V<sub>OUT A</sub>, V<sub>OUT B</sub>, V<sub>OUT C</sub>, V<sub>OUT D</sub>)

The device has four analog voltage output (V<sub>OUT</sub>) pins. Each output is driven by its own output buffer with a gain of 1 or 2, depending on the gain and V<sub>REF</sub> selection bit settings. In Normal mode, the DC impedance of the output pin is about 1Ω. In Power-Down mode, the output pin is internally connected to 1 kΩ, 100 kΩ, or 500 kΩ, depending on the Power-Down selection bit settings.

The V<sub>OUT</sub> pin can drive up to 1000 pF of capacitive load. It is recommended to use a load with R<sub>L</sub> greater than 5 kΩ.

## 7.0 TYPICAL APPLICATIONS

The MCP4728 device is a part of Microchip's latest DAC family with nonvolatile EEPROM memory. The device is a general purpose resistor string DAC intended to be used in applications where a precise and low power DAC, with moderate bandwidth, is required.

Since the device includes nonvolatile EEPROM memory, the user can use this device for applications that require the output to return to the previous set-up value on subsequent power-ups.

Applications generally suited for the MCP4728 device family include:

- Set Point or Offset Trimming
- Sensor Calibration
- Portable Instrumentation (Battery Powered)
- Motor Speed Control

## 7.1 Connecting to I<sup>2</sup>C BUS Using Pull-Up Resistors

The SCL, SDA, and RDY/BSY pins of the MCP4728 device are open-drain configurations. These pins require a pull-up resistor, as shown in Figure 7-1. The LDAC pin has a Schmitt trigger input configuration and it can be driven by an external MCU I/O pin.

The pull-up resistor values ( $R_1$  and  $R_2$ ) for SCL and SDA pins depend on the operating speed (standard, fast, and high speed) and loading capacitance of the I<sup>2</sup>C bus line. Higher value of pull-up resistor consumes less power, but increases the signal transition time (higher RC time constant) on the bus line. Therefore, it can limit the bus operating speed. A lower resistor value, on the other hand, consumes higher power, but allows for higher operating speed. If the bus line has higher capacitance due to long metal traces or multiple device connections to the bus line, a smaller pull-up resistor is needed to compensate for the long RC time constant. The pull-up resistor is typically chosen between 1 k $\Omega$  and 10 k $\Omega$  range for standard and fast modes, and less than 1 k $\Omega$  for high speed mode.

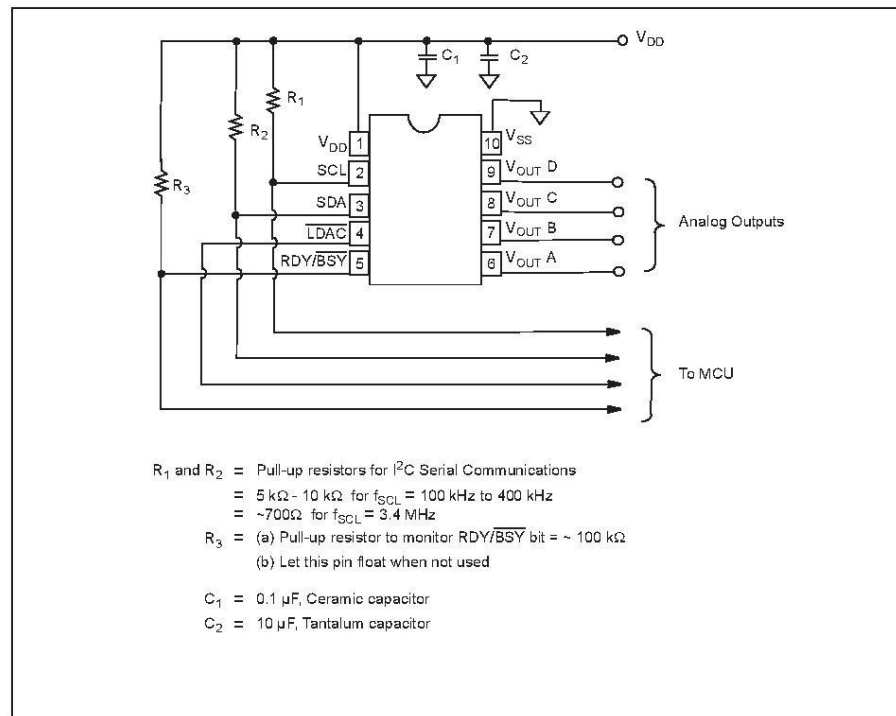


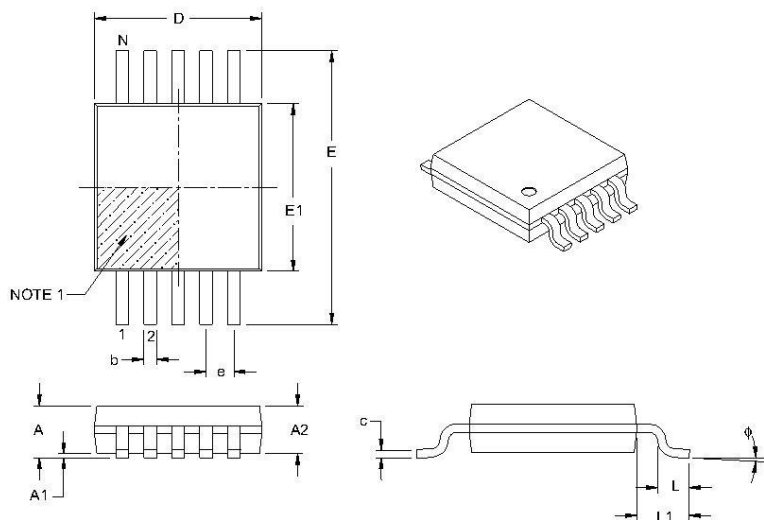
FIGURE 7-1: Example of the MCP4728 Device Connection.



# MCP4728

## 10-Lead Plastic Micro Small Outline Package (UN) [MSOP]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	10		
Pitch	e	0.50 BSC		
Overall Height	A	—	—	1.10
Molded Package Thickness	A2	0.75	0.85	0.95
Standoff	A1	0.00	—	0.15
Overall Width	E	4.90 BSC		
Molded Package Width	E1	3.00 BSC		
Overall Length	D	3.00 BSC		
Foot Length	L	0.40	0.60	0.80
Footprint	L1	0.95 REF		
Foot Angle	φ	0°	—	8°
Lead Thickness	c	0.08	—	0.23
Lead Width	b	0.15	—	0.33

### Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-021B



## 1.0 DEVICE OVERVIEW

The MCP2551 is a high-speed CAN, fault-tolerant device that serves as the interface between a CAN protocol controller and the physical bus. The MCP2551 device provides differential transmit and receive capability for the CAN protocol controller, and is fully compatible with the ISO-11898 standard, including 24V requirements. It will operate at speeds of up to 1 Mb/s.

Typically, each node in a CAN system must have a device to convert the digital signals generated by a CAN controller to signals suitable for transmission over the bus cabling (differential output). It also provides a buffer between the CAN controller and the high-voltage spikes that can be generated on the CAN bus by outside sources (EMI, ESD, electrical transients, etc.).

### 1.1 Transmitter Function

The CAN bus has two states: Dominant and Recessive. A Dominant state occurs when the differential voltage between CANH and CANL is greater than a defined voltage (e.g., 1.2V). A Recessive state occurs when the differential voltage is less than a defined voltage (typically 0V). The Dominant and Recessive states correspond to the Low and High state of the TXD input pin, respectively. However, a Dominant state initiated by another CAN node will override a Recessive state on the CAN bus.

#### 1.1.1 MAXIMUM NUMBER OF NODES

The MCP2551 CAN outputs will drive a minimum load of 45Ω, allowing a maximum of 112 nodes to be connected (given a minimum differential input resistance of 20 kΩ and a nominal termination resistor value of 120Ω).

### 1.2 Receiver Function

The RXD output pin reflects the differential bus voltage between CANH and CANL. The Low and High states of the RXD output pin correspond to the Dominant and Recessive states of the CAN bus, respectively.

### 1.3 Internal Protection

CANH and CANL are protected against battery short-circuits and electrical transients that can occur on the CAN bus. This feature prevents destruction of the transmitter output stage during such a fault condition.

The device is further protected from excessive current loading by thermal shutdown circuitry that disables the output drivers when the junction temperature exceeds a nominal limit of 165°C. All other parts of the chip remain operational, and the chip temperature is lowered due to the decreased power dissipation in the transmitter outputs. This protection is essential to protect against bus line short-circuit-induced damage.

## 1.4 Operating Modes

The Rs pin allows three modes of operation to be selected:

- High-Speed
- Slope-Control
- Standby

These modes are summarized in Table 1-1.

When in High-Speed or Slope-Control mode, the drivers for the CANH and CANL signals are internally regulated to provide controlled symmetry in order to minimize EMI emissions.

Additionally, the slope of the signal transitions on CANH and CANL can be controlled with a resistor connected from pin 8 (RS) to ground. The slope must be proportional to the current output at Rs, which will further reduce EMI emissions.

#### 1.4.1 HIGH-SPEED

High-Speed mode is selected by connecting the Rs pin to VSS. In this mode, the transmitter output drivers have fast output rise and fall times to support high-speed CAN bus rates.

#### 1.4.2 SLOPE-CONTROL

Slope-Control mode further reduces EMI by limiting the rise and fall times of CANH and CANL. The slope, or slew rate (SR), is controlled by connecting an external resistor (REXT) between Rs and VOL (usually ground). The slope is proportional to the current output at the Rs pin. Since the current is primarily determined by the slope-control resistance value REXT, a certain slew rate is achieved by applying a specific resistance. Figure 1-1 illustrates typical slew rate values as a function of the slope-control resistance value.

#### 1.4.3 STANDBY MODE

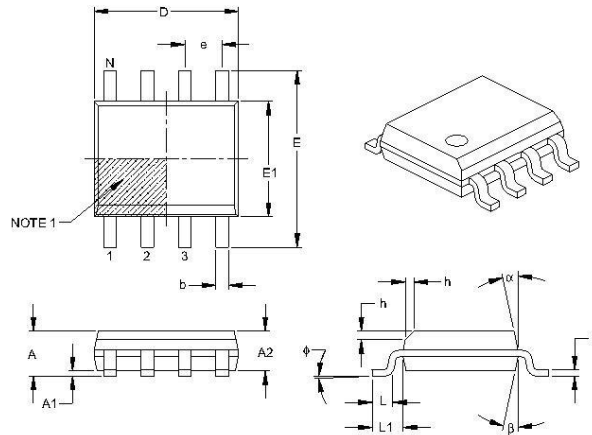
The device may be placed in Standby or SLEEP mode by applying a high-level to the Rs pin. In SLEEP mode, the transmitter is switched off and the receiver operates at a lower current. The receive pin on the controller side (RXD) is still functional, but will operate at a slower rate. The attached microcontroller can monitor RXD for CAN bus activity and place the transceiver into normal operation via the Rs pin (at higher bus rates, the first CAN message may be lost).



# MCP2551

## 8-Lead Plastic Small Outline (SN) – Narrow, 3.90 mm Body [SOIC]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	8		
Pitch	e	1.27 BSC		
Overall Height	A	—	—	1.75
Molded Package Thickness	A2	1.25	—	—
Standoff §	A1	0.10	—	0.25
Overall Width	E	6.00 BSC		
Molded Package Width	E1	3.90 BSC		
Overall Length	D	4.90 BSC		
Chamfer (optional)	h	0.25	—	0.50
Foot Length	L	0.40	—	1.27
Footprint	L1	1.04 REF		
Foot Angle	φ	0°	—	8°
Lead Thickness	c	0.17	—	0.25
Lead Width	b	0.31	—	0.51
Mold Draft Angle Top	α	5°	—	15°
Mold Draft Angle Bottom	β	5°	—	15°

### Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-057B

# Anlage E – Pin-Belegung AT90CAN128

## PIN-Belegung AT90CAN128

Stand: 25.07.2011

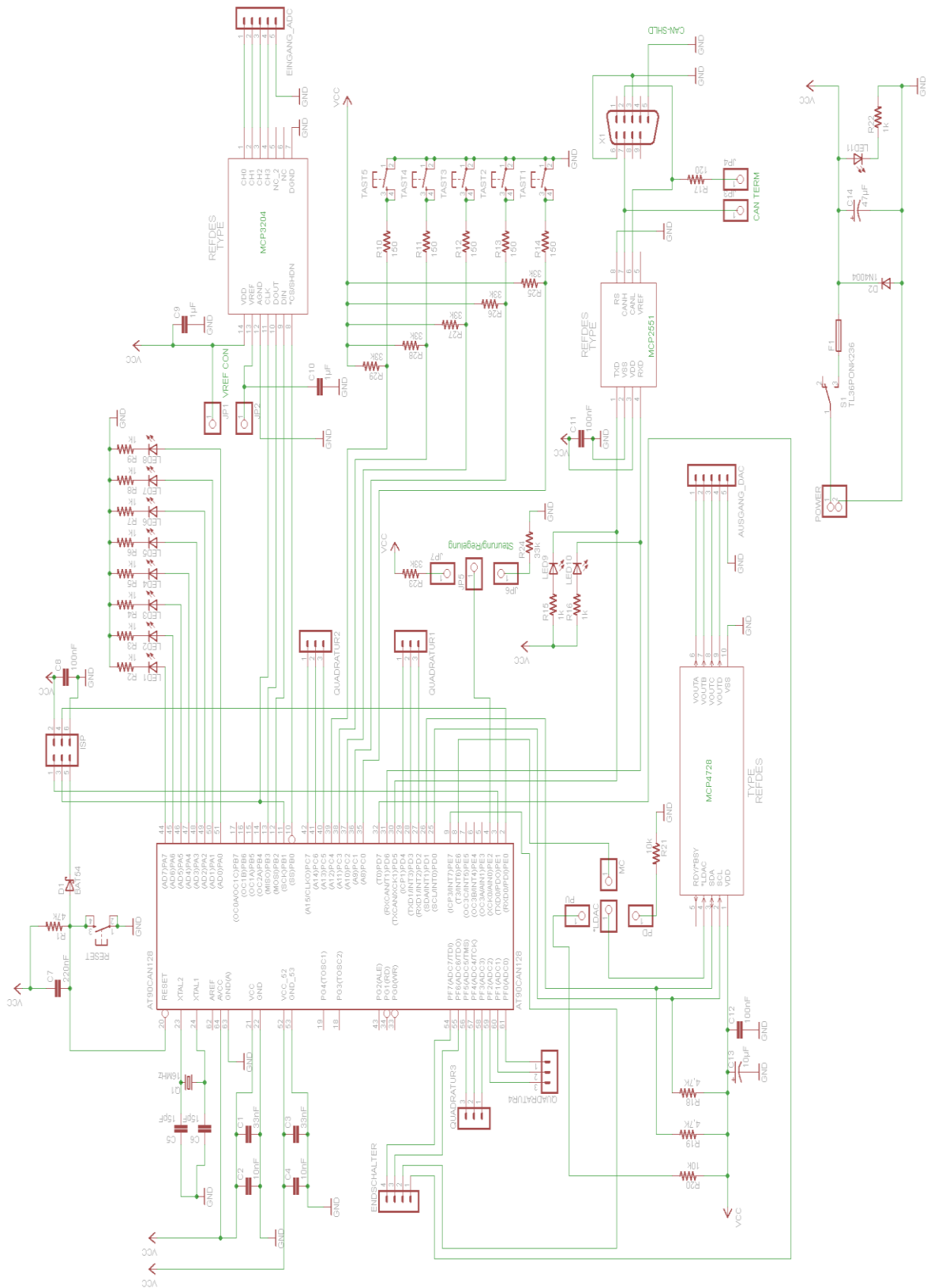
PIN	Bezeichnung	Funktion
1	NC	not connected
2	PE0 (RXD0/PDI)	ISP CON
3	PE1 (TXD0/PDO)	ISP CON
4	PE2 (XCK0/AIN0)	Steuerung/Regelung → Jumper 1/0
5	PE3 (OC3A/AIN1)	Timer
6	PE4 (OC3B/INT4)	Timer
7	PE5 (OC3C/INT5)	Timer
8	PE6 (T3/INT6)	NLDAC (DAC) → Jumper 1/0/µC
9	PE7 (ICP3/INT7)	Endschalter 1 für DS
10	PB0 (ISS)	SPI (ADC)
11	PB1 (SCK)	ISP CON, SPI (ADC)
12	PB2 (MOSI)	SPI (ADC)
13	PB3 (MISO)	SPI (ADC)
14	PB4 (OC2A)	Timer
15	PB5 (OC1A)	Timer
16	PB6 (OC1B)	Timer
17	PB7 (OC0A/OC1C)	Timer
18	PG3 (TOSC2)	
19	PG4 (TOSC1)	
20	[RESET]	ISP CON, Reset-Taster
21	VCC	Betriebsspannung
22	GND	Masse
23	XTAL2	Quarz 16MHz
24	XTAL1	Quarz 16MHz
25	PD0 (SCL/INT0)	I <sup>2</sup> C (DAC)
26	PD1 (SDA/INT1)	I <sup>2</sup> C (DAC)
27	PD2 (RXD1/INT2)	Quadratur A1
28	PD3 (TXD1/INT3)	Quadratur B1
29	PD4 (ICP1)	Quadratur I1
30	PD5 (TXCAN/XCK1)	CAN
31	PD6 (RXCAN/T1)	CAN
32	PD7 (T0)	Endschalter 2 für DS

PIN	Bezeichnung	Funktion
33	PG0 (WRI)	
34	PG1 (IRDI)	
35	PC0 (A8)	Taster
36	PC1 (A9)	Taster
37	PC2 (A10)	Taster
38	PC3 (A11)	Taster
39	PC4 (A12)	Taster
40	PC5 (A13)	Quadratur A2
41	PC6 (A14)	Quadratur B2
42	PC7 (A15/CLKO)	Quadratur I2
43	PG2 (ALE)	
44	PA7 (AD7)	LED
45	PA6 (AD6)	LED
46	PA5 (AD5)	LED
47	PA4 (AD4)	LED
48	PA3 (AD3)	LED
49	PA2 (AD2)	LED
50	PA1 (AD1)	LED
51	PA0 (AD0)	LED
52	VCC	Betriebsspannung
53	GND	Masse
54	PF7 (ADC7/TDI)	Endschalter 3 für DS
55	PF6 (ADC6/TDO)	Endschalter 4 für DS
56	PF5 (ADC5/TMS)	Quadratur A3
57	PF4 (ADC4/TCK)	Quadratur B3
58	PF3 (ADC3)	Quadratur I3
59	PF2 (ADC2)	Quadratur A4
60	PF1 (ADC1)	Quadratur B4
61	PF0 (ADC0)	Quadratur I4
62	AREF	float
63	GND	Masse
64	AVCC	Betriebsspannung

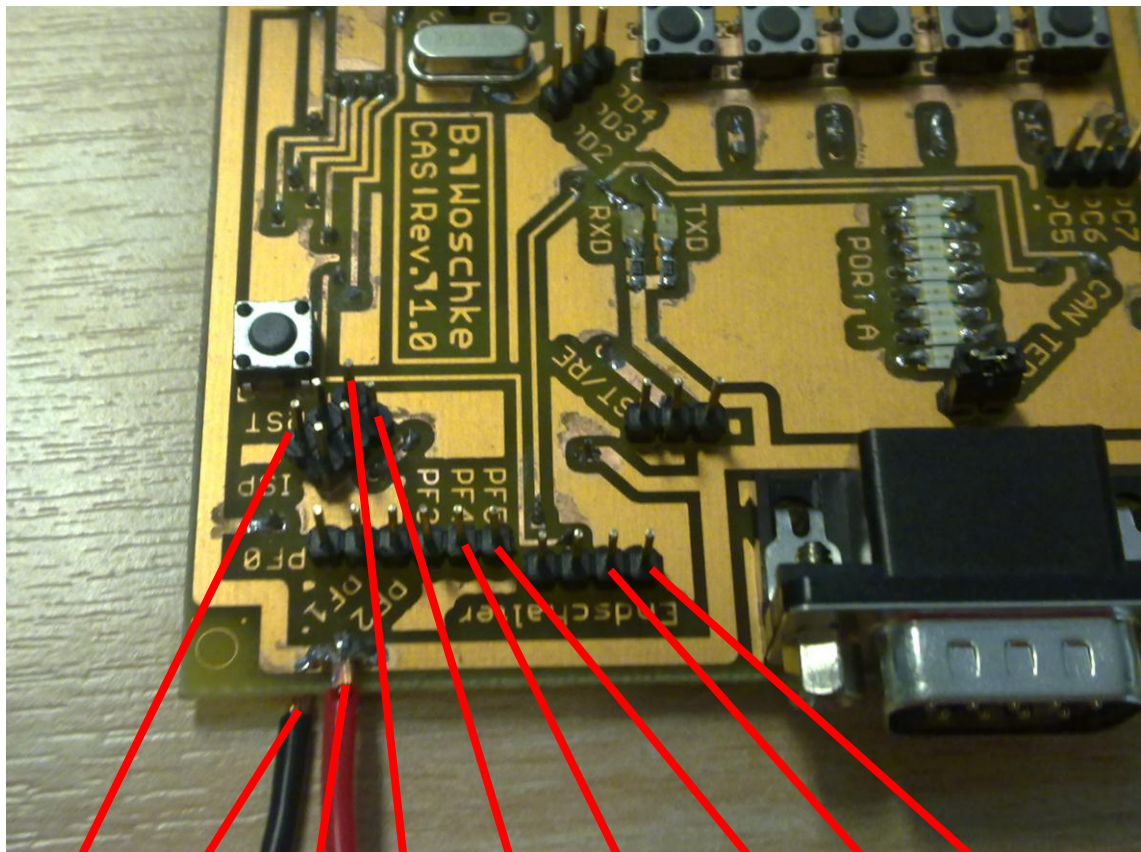
# Anlage F – Kostenübersicht CAS-Prototyp-Platine

Menge	Bauteil	Distributor	Bestell-Nr.	Einzelpreis	Rabatt	Gesamtpreis
0,5	Fotoplatine doppelseitig	Reichelt	BEL 160X100-2	2,1		1,05
1	MC ATMEL AT90CAN128	Reichelt	AT 90CAN128	9,35		9,35
1	A/D Wandler MCP3204	Reichelt	MCP 3204-CI/SL	2,75		2,75
1	D/A Wandler MCP4728	Farnell	1800217	2,93		2,93
1	CAN Transceiver MCP2551	Reichelt	MCP 2551-I/SN	1		1,00
1	Schottky Diode	Reichelt	BAT 54 SMD	0,04		0,04
1	Gleichrichterdiode	Reichelt	1N 4004	0,02		0,02
1	Quarz 16MHz	Reichelt	16,0000-HC49U-S	0,18		0,18
1	D-SUB-Stecker 9-polig	Reichelt	D-SUB ST 09EU	0,31		0,31
1	Kleinstsicherung 0,5A	Reichelt	MINI FLINK 0,5A	0,27		0,27
1	Anschlussklemme 2-polig	Reichelt	AKL 101-02	0,28		0,28
2	Anschlussklemme 5-polig	Reichelt	AKL 101-05	0,47		0,94
1	Schiebeschalter 1xUM	Reichelt	NK 236	0,99		0,99
6	Kurzhubtaster 12V	Reichelt	TASTER 3301	0,09		0,54
9	LED 1206 grün	Farnell	1466000	0,28		2,52
1	LED 1206 gelb	Farnell	8530149	0,14		0,14
1	LED 1206 rot	Farnell	8530025	0,17		0,17
0,75	Stiftleiste 36-polig	Reichelt	SL 1X36G 2,54	0,14		0,11
4	Jumper rot, RM 2,54	Reichelt	JUMPER 2,54 RT	0,05		0,20
1	SMD Tantal-Kondensator 10µF	Reichelt	SMD TAN.10/16	0,12		0,12
1	SMD Tantal-Kondensator 47µF	Reichelt	SMD TAN.47/10	0,24		0,24
3	SMD Keramikkondensator 100nF	Reichelt	X7R-G0805 100N	0,05		0,15
0,1	10x SMD Keramikkondensator 220nF	Farnell	9406310	0,74		0,07
2	SMD Keramikkondensator 1µF	Reichelt	X7R-G0805 1,0/25	0,05		0,10
1	SMD Keramikkondensator 10µF	Reichelt	X5R-G0805 10/16	0,06		0,06
2	SMD Keramikkondensator 10nF	Reichelt	X7R-G0805 10N	0,05		0,10
2	SMD Keramikkondensator 33nF	Reichelt	X7R-G0805 33N	0,05		0,10
2	SMD Keramikkondensator 15pF	Reichelt	NPO-G0805 15P	0,05		0,10
11	SMD Widerstand 1kOhm	Reichelt	SMD-0805 1,00K	0,103	21	0,90
1	SMD Widerstand 47kOhm	Reichelt	SMD-0805 47,0K	0,103		0,10
2	SMD Widerstand 10kOhm	Reichelt	SMD-0805 10,0K	0,103		0,21
5	SMD Widerstand 150Ohm	Reichelt	SMD-0805 150	0,103		0,52
2	SMD Widerstand 4,7kOhm	Reichelt	SMD-0805 4,70K	0,103		0,21
7	SMD Widerstand 33kOhm	Reichelt	SMD-0805 33,0K	0,103		0,72
1	SMD Widerstand 120Ohm	Reichelt	SMD-0805 120	0,103		0,10
GESAMT						27,58

# Anlage G – Schaltplan CAS-Prototyp-Platine



## Anlage H – JTAG-Anschluss CAS-Prototyp-Platine



LILA BRAUN GELB WEIß GRÜN SCHWRAZ BLAU GRAU ROT

# Anlage I – Protokoll feldgebundene Störaussendung

CAS

1

## CAS

### Allgemeine Information

Testbeschreibung:	EMI gestrahlt
Prüfling:	CAS
Testnorm:	EN55022
Umgebungsbedingungen:	Absorberkabine, 3 m Abstand Prüfling Antenne, kein Höhenscan
Bedienername:	M.Mothes, B. Woschke, M. Kellner
Kommentar:	

### Gerätekonfiguration: EMI radiated\Standard (CBL 6143A+Turntable+Esib7+Signalpfad 1..1000MHz) - [EMI gestrahlt]

Teilbereich 1	
Frequenzbereich:	30MHz - 3GHz
Empfänger:	ESIB 7 [ESIB 7] @ GPIB0 (ADR 20), SN 100291/007, FW 4.34.3
Signalpfad:	Signalpfad FW 1.0 Korrekturtabelle: Signalpfad Korrekturtabelle: 3m auf 10m
Antenne:	Bilog Antenna CBL 6143A SN 25427 Korrekturtabelle (vertikal): Bilog Antenna CBL 6143A SN 25427 Korrekturtabelle (horizontal): Bilog Antenna CBL 6143A SN 25427
Drehtisch:	Turntable [Inn-Co Turntable] @ COM9 (ADR 9)

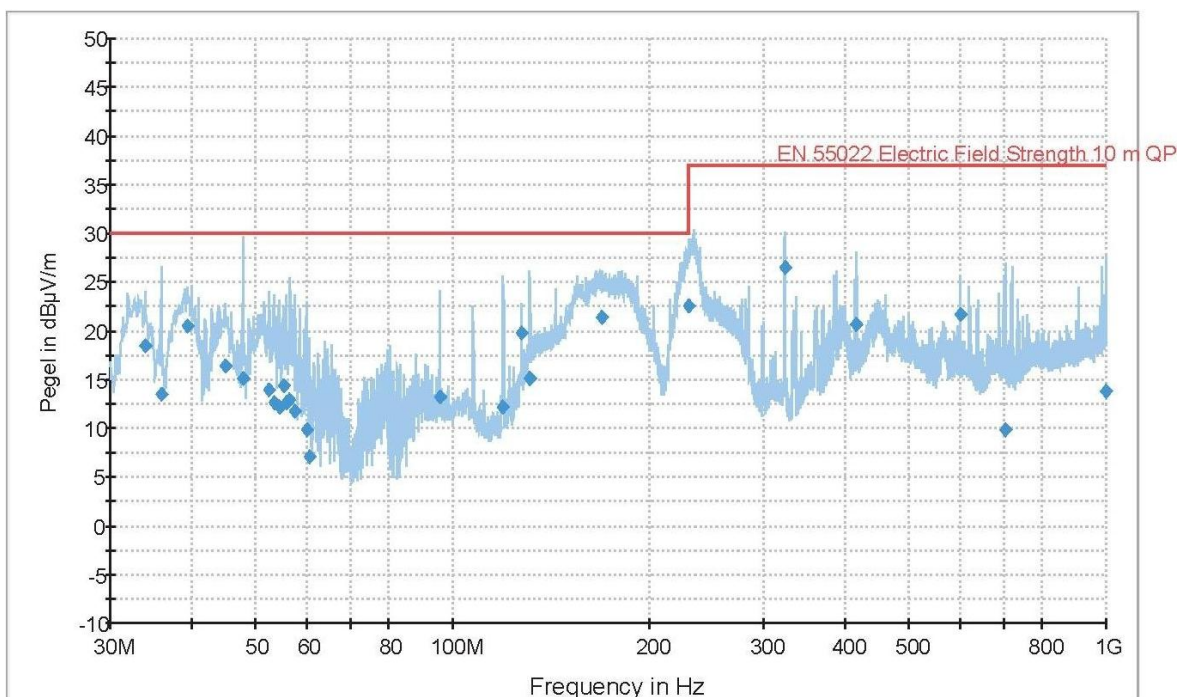
22.09.2011

11:25:24



## Endmessung Detektor 1

Frequenz (MHz)	QuasiPeak (dBµV/m)	Messzeit (ms)	Bandbreite (kHz)	Polarisation	Drehtischposition (deg)	Korr. (dB)	Margin (dB)	Grenzwert (dBµV/m)	Kommentar
34.000000	18.4	1000.000	120.000	V	0.0	10.6	11.6	30.0	
35.950000	13.6	1000.000	120.000	V	269.0	9.7	16.4	30.0	
39.450000	20.5	1000.000	120.000	V	160.0	8.0	9.5	30.0	
45.050000	16.5	1000.000	120.000	V	333.0	5.4	13.5	30.0	
47.950000	15.1	1000.000	120.000	V	90.0	4.1	14.9	30.0	
52.500000	14.0	1000.000	120.000	V	209.0	2.2	16.0	30.0	
53.500000	12.7	1000.000	120.000	V	135.0	1.5	17.3	30.0	
54.550000	12.2	1000.000	120.000	V	0.0	1.3	17.8	30.0	
55.300000	14.4	1000.000	120.000	V	204.0	1.4	15.6	30.0	
55.750000	12.6	1000.000	120.000	V	105.0	1.5	17.4	30.0	
56.500000	12.9	1000.000	120.000	V	8.0	1.4	17.1	30.0	
57.500000	11.7	1000.000	120.000	V	0.0	1.0	18.3	30.0	
59.900000	9.8	1000.000	120.000	V	223.0	0.3	20.2	30.0	
60.500000	7.0	1000.000	120.000	V	214.0	0.2	23.0	30.0	
95.900000	13.3	1000.000	120.000	V	322.0	-0.2	16.7	30.0	
119.800000	12.2	1000.000	120.000	H	90.0	3.1	17.8	30.0	
128.050000	19.8	1000.000	120.000	H	318.0	3.6	10.2	30.0	
131.850000	15.1	1000.000	120.000	H	160.0	3.7	14.9	30.0	
169.200000	21.4	1000.000	120.000	H	99.0	1.4	8.6	30.0	
229.800000	22.6	1000.000	120.000	V	8.0	3.7	7.4	30.0	
323.050000	26.5	1000.000	120.000	V	90.0	6.0	10.5	37.0	
415.450000	20.7	1000.000	120.000	V	168.0	8.6	16.3	37.0	
600.050000	21.7	1000.000	120.000	V	135.0	11.8	15.3	37.0	
702.650000	9.8	1000.000	120.000	V	269.0	12.8	27.2	37.0	
999.350000	13.8	1000.000	120.000	H	159.0	16.0	23.2	37.0	



# Anlage J – Protokoll leitungsgebundene Störaussendung

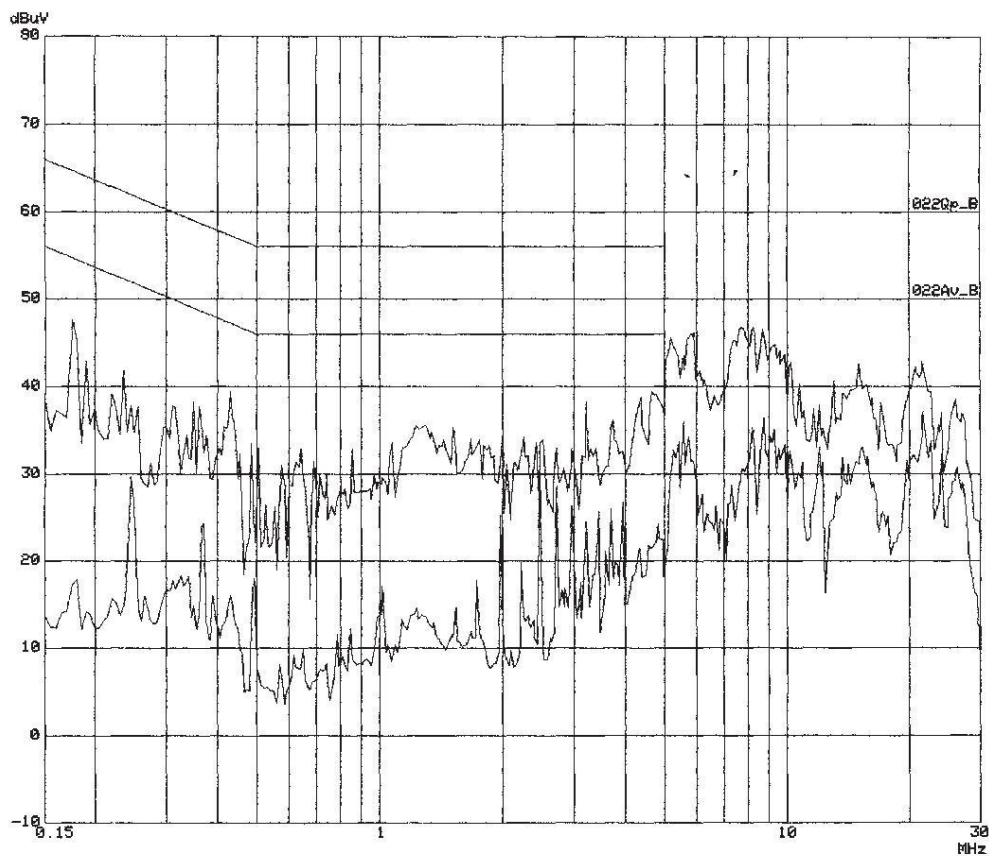
## Leitungsgebundene Störaussendung ESHS20

EUT: CAS  
Operator: Mothes, Woschke, Kellner  
Test Spec: UB = 5V  
L1 (+ - Leitung)  
Date: 22. Sep 11 11:55

### Scan Settings (1 Range)

Frequencies			Receiver Settings					
Start	Stop	Step	IF BW	Detector	M-Time	Atten	Preamp	OpRge
150k	30M	5k	10k	PK+AV	10ms	AUTO	LN OFF	60dB

Final Measurement: x QP / + AV  
Meas Time: 1 s  
Subranges: 25  
Acc Margin: 6dB





**Leitungsgebundene Störaussendung**  
**ESHS20**

EUT: CAS  
Operator: Mothes, Woschke, Kellner  
Test Spec: UB = 5V  
L1 (+ - Leitung)  
Date: 22. Sep 11 11:55

Final Measurement Results:

no Results

PAGE 2

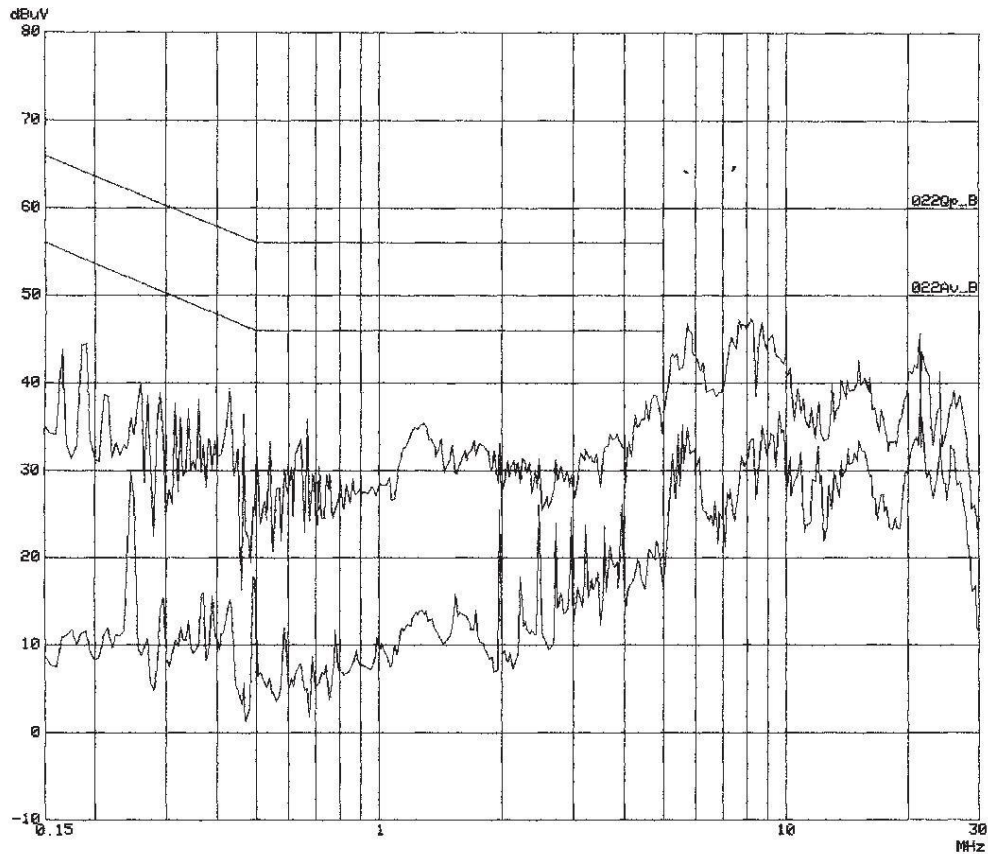
# Leitungsgebundene Störaussendung ESHS20

EUT: CAS  
Operator: Mothes, Woschke, Kellner  
Test Spec: UB = 5V  
N (+ - Leitung)  
Date: 22. Sep 11 11:28

## Scan Settings (1 Range)

Frequencies			Receiver Settings					
Start	Stop	Step	IF BW	Detector	M-Time	Atten	Preamp	OpRge
150k	30M	5k	10k	PK+AV	10ms	AUTO	LN OFF	60dB

Final Measurement: x QP / + AV  
Meas Time: 1 s  
Subranges: 25  
Acc Margin: 6dB



PAGE 1

**Leitungsgebundene Störaussendung**  
**ESHS20**

EUT: CAS  
Operator: Mothes, Woschke, Kellner  
Test Spec: UB = 5V  
N (+ - Leitung)  
Date: 22. Sep 11 11:28

Final Measurement Results:

no Results

# Selbstständigkeitserklärung

Hiermit erkläre ich, dass ich die vorliegende Arbeit selbstständig und nur unter Verwendung der angegebenen Literatur und Hilfsmittel angefertigt habe.

Stellen, die wörtlich oder sinngemäß aus Quellen entnommen wurden, sind als solche kenntlich gemacht.

Diese Arbeit wurde in gleicher oder ähnlicher Form noch keiner anderen Prüfungsbehörde vorgelegt.

Mittweida, den 14.10.2011

Benjamin Woschke